

TECHNICKÝ POPIS

ADAPTÉRU ZNET

O b s a h :

1. Úvod	3
2. Charakteristika sítě s deskami ZNET	3
3. Skladba dokumentace desky ZNET	4
4. Popis listu 152-00650-2 deska ZNET osazená	4
5. Popis listu 152-00651-4 ZNET schema - procesor	5
5.1. Kódování výstupních dat seriového přenosu	5
5.2. Dekodér seriových dat a separátor hodin	7
5.3. Procesor na desce ZNET	8
5.4. Spojeí Z80A a SIO	10
5.5. Paměť RAM	11
5.6. Paměť EPROM	12
5.7. Přepínače S1 až S8	12
5.8. Způsob komunikace mezi procesory	13
5.9. Zesilovače adres, řídicích signálů a dat	14
5.10. Generátor žádosti o přerušení	14
5.11. Shrnutí popisu listu 1	15
6. Popis listu 152-00651-4 ZNET schema - vazební obvody, dekodér	15
6.1. Dekodér adresy sběrnice	16
6.2. Signál RDY	16
6.3. Adresový dekodér paměťového prostoru Z80A	17
6.4. Adresová mapa obou procesorů	18
6.5. Vazební obvody linky	19
7. Závěr	20

1. Úvod.

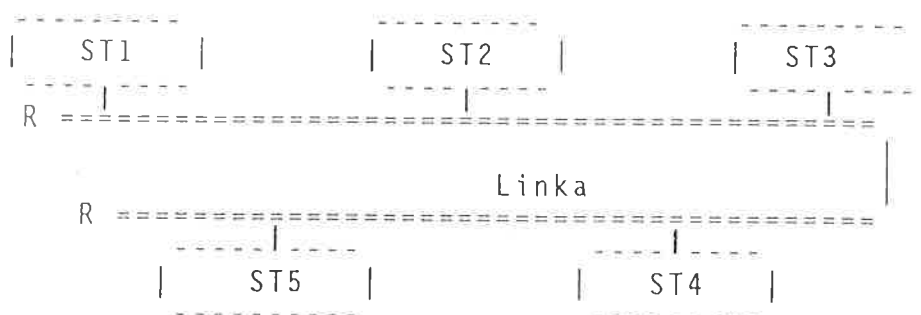
Deska ZNET je komunikační adaptér lokální sítě (LAN) pro počítač PC16NB. Počítač PC16NB musí mít takový adaptér, protože je určen pro práci i bez diskových pamětí. Komunikace přes komunikační síť potom nahraňuje diskovou paměť částí diskových pamětí centrálního řídicího počítače sítě. Adaptér ZNET je také možno použít i do počítače PC16NB vybaveného diskem, nebo do jiného kompatibilního mikropočítače. Adaptér ZNET má tyto parametry:

- umožňuje propojit až 32 počítačů vybavených adaptéry ZNET
- maximální délka kabelu v síti je 300 metrů
- k propojení využívá koaxiálního kabelu 50 ohm
- komunikuje rychlostí 888Kbit/sec
- používá synchronní přenos a protokol SDLC
- používá metody náhodného přístupu s detekcí kolize
- adaptér ZNET má svůj lokální procesor Z80A
- komunikuje se sběrnici přes paměť "dual-port" RAM
- na adaptéru je paměť EPROM emulující některé funkce NET-BIOSu

2. Charakteristika sítě s deskami ZNET.

Síť ZNET je možno charakterisovat takto:

- a/ Jedná se o síť s propojením typu BUS, tedy sběrnici, jedním kabelem (říká se mu také linka) na který jsou připojeny jednotlivé stanice:



- b/ Na začátku a na konci propojovacího kabelu musí být zakončovací odpory $R = 50 \text{ Ohm}$.
- c/ Všechny stanice jsou si při přístupu k lince (k síti) rovnocenné. Neexistuje tedy nějaká hlavní a nebo řídicí stanice sítě.
- d/ Přístup k lince (síti) je na principu "detekce nosné a detekce kolize". Přístup probíhá takto:

1. Stanice zjišťuje zda je linka volná. Detekuje se zda jsou na lince přenášena data.
2. Je-li linka volná, stanice, která potřebuje, začne vysílat. Současně se detekuje pomocí obvodů i programu, zda nedošlo ke kolizi s počátkem vysílání jiné stanice.
3. V případě kolize se vysílání přeruší, počká se určitý čas (náhodný u každé stanice jiný) a zkusí se znovu zda : linka volná a začne se vysílat.

e/ Pro seriový přenos se používá protokolu SDLC. Každá přenášená zpráva začíná návěštím (FLAG), potom je byte adresy přijímací stanice, potom je třeba 256 byte dat, pak dva byte kontrolního polynomu CRC a zpráva končí opět návěštím. Návěští je binárně 01111110. Takže zpráva vypadá např. takto:

FL	A	C0	C1	C2	...	C255	R1	CR2	FL
----	---	----	----	----	-----	------	----	-----	----

3. Skladba dokumentace desky ZNET.

Dokumentace desky ZNET sestává z listu 152-00650-2 na kterém je nakresleno osazení desky součástkami. Na dvou listech 152-00651-4 je schema zapojení desky ZNET. Na prvním listu schema je zapojení okolo mikroprocesoru Z80A, který řídí komunikační obvod Z80 SIO a zajišťuje tak desce ZNET jistou inteligenci. Mikroprocesor Z80A má na desce ZNET svůj generátor hodin, paměť EPROM i RAM a osminásobný přepínač na kterém se nastavuje číslo adaptéru zapojeného v komunikační síti. Na druhém listu jsou obvody rozhraní mezi kabelem sítě a adaptérem. Dále je zde dekodér adresy a synchronizační obvody. Tyto obvody synchronizují dvojí přístup do pamětí RAM a EPROM. Tyto paměti jsou používány jak počítačem, tak lokálním mikroprocesorem Z80A na desce ZNET.

4. Popis listu 152-00650-2 deska ZNET osazená.

Deska ZNET je oproti jiným adaptérům lokálních sítí poměrně jednoduchá. Je to dáno promyšleným návrhem obvodů desky s ohledem na minimální počet součástek. Pro levný školní počítač musí být levný adaptér komunikační sítě LAN. Z velkých obvodů je uprostřed desky ZNET mikroprocesor Z80A a obvod Z80 SIO. Dále je zde paměť EPROM o kapacitě 8Kbyte a paměť RAM o kapacitě 2Kbyte. Vlevo od procesoru je generátor hodin a dělič frekvence pro Z80 SIO. Paměť PROM S287 a registr LS174 tvoří dekodér seriových dat přicházejících z komunikačního kabelu.

Vpravo nahoře jsou obvody budící koaxiální kabel sítě a obvody přijímače dat a detektoru kolize. Je zde také feritový transformátorek, zajišťující galvanické oddělení obvodů desky od kabelu sítě. Na panelu desky je koaxiální konektor BNC pro připojení kabelu sítě. Pod nimi je osminásobný přepínač na kte-

rém se nastavuje číslo stanice. Vpravo dole je relé, odepínající obvody adaptéru od kabelu při vypnutí počítače. Dole u konektoru sběrnice jsou obvody rozhraní se sběrnici počítače. Nad nimi je paměť PROM S571 pracující jako dekodér adresy a přepínač S9 umožňující zvolit pro desku ZNET dvě různé adresy. Tak je zajištěna možnost osadit do počítače dvě desky ZNET s možností nezávislé obsluhy.

5. Popis listu 152-00651-4 ZNET schema - procesor.

Vpravo nahoře je krystalem řízený oscilátor o frekvenci 16 MHz. Je tvořen hradly ALS04 (I03), odpory R16 a 17 a kondenzátorem C2. Hodiny 16 MHz přicházejí na vstup B obvodu LS93 (I01) a na vstup A obvodu LS93 I02.

Obvod LS93 I01 dělí ze vstupu B na výstup QC čtyřmi. Frekvence 4MHz z výstupu QC je zesílena hradlem LS125 I020/6 a vedena na hodinový vstup Z80A (I07/6) a na hodinový vstup komunikačního obvodu Z80 SIO (I016/20). Vyšší úroveň jedničky na signálu CLK je zajištěna odporem R3 330 ohm. Signál CLK je ještě používán na listu 2 pro synchronizaci lokálního procesoru Z80A a procesoru počítače 8088.

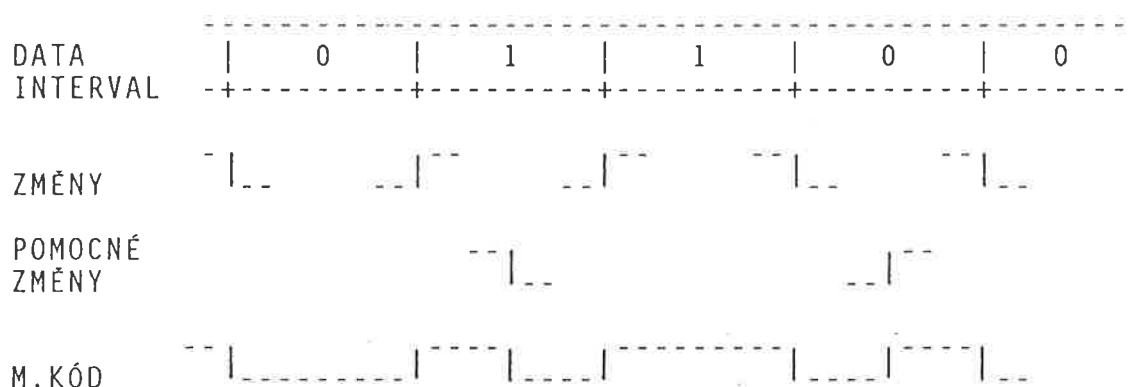
Obvod LS93 I02 je zapojen jako dělič devíti. Z jeho výstupů QA a QD je odvozeno nulování čítače, takže čítač přejde do nuly po stavu 1001 (binárně). Výstupní frekvence jde z QD I02 na další čítač, první stupeň obvodu LS93 I01, kde je vydělena ještě dvěmi. Na výstupu QA I01/12 tak vznikne frekvence $16 \text{ MHz}/18 = 888 \text{ KHz}$. Tato frekvence je pak vedena na vstup TXCA* obvodu SIO I016/14. Tato zkratka znamená vysílací hodiny kanálu A. Obvod SIO je používán v synchronním módu seriového přenosu, a proto je frekvence 888 KHz přímo přenosovou frekvencí synchronního přenosu.

5.1. Kódování výstupních dat seriového přenosu.

Problém synchronního přenosu spočívá v tom, že na přijímací straně potřebuje obvod SIO nejen data, ale i hodiny o stejné frekvenci a fázi jako byly na vysílací straně. Protože se však vysílá jen po jednom vodiči, musí se hodiny odvodit z přijímaných dat.

Vysílaná data se tedy musí nějak zakódovat, aby obsahovaly jak data tak hodiny. Nejčastěji se používá tak zvaná fázová modulace, která je známější pod označením Manchester kód. Chceme-li nakreslit data zakódované do tohoto kódu, držíme se následujících pravidel:

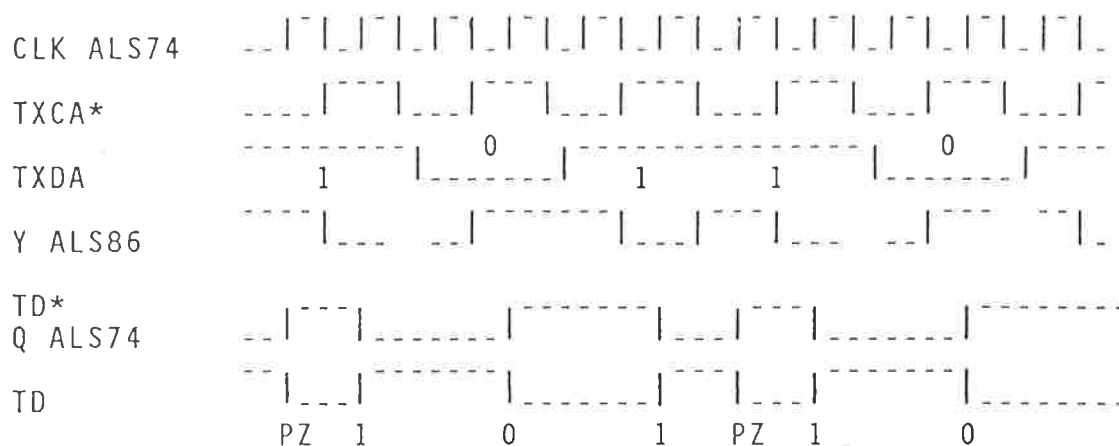
- a/ Každý bit je přenášen v bitovém intervalu, který je roven převrácené periodě přenosové frekvence.
- b/ Změna z jedničky do nuly, na začátku bitového intervalu znamená nulu dat v tomto bitu.
- c/ Změna z nuly na jedničku, na začátku bitového intervalu znamená jedničku dat v tomto bitu.
- d/ Budeme-li potom spojovat nakreslené změny z 1 na 0 a z 0 na 1, uděláme tam kde by nám spojení nevyšlo pomocnou změnu z 0 na 1 a nebo z 1 na 0 uprostřed bitového intervalu.



Z obrázku je vidět, že manchester kód obsahuje informaci jak o datech (směr změny) tak o hodinách (změna na začátku každého bitového intervalu).

Na prvním listu schema desky ZNET je kodér seriových dat nahoře uprostřed vedle obvodů děliče frekvence. Kodér je tvořen hradlem EXCLUSIVE-OR ALS86 IO27/3 a klopným obvodem ALS74 IO23/9. Do jednoho vstupu hradla ALS86 vstupují výstupní seriová data z obvodu SIO nazvaná TXDA a do druhého vstupu vysílací hodiny TXCA*. Výstup z hradla je strobován do klopného obvodu dvojnásobnou frekvencí, než je vysílací. Strobuje se náběžnou hranou hodin přicházejících z výstupu QD děliče IO2.

Připomeňme, že obvod SIO vydává výstupní seriová data TXDA po změně hodin TXCA* z jedničky na nulu. Teď již si můžeme nakreslit časový diagram funkce kódovacího obvodu:



kde: PZ znamená pomocná změna

Z časových diagramů je vidět, že zpožděním výstupních dat z obvodu SIO, vznikají na výstupu ALS86 hazardní stavy a proto je nutné data strobovat do klopného obvodu. Obecně by pro kódování dat postačil obvod EXCLUSIVE-OR ALS86 nazývaný také nonekivalence. U tohoto obvodu je na výstupu jednička když se nerovnájí jeho výstupy A a B. Kódování do manchester kódu je tedy jednoduché.

5.2. Dekodér seriových dat a separátor hodin.

Větší problém než seriová data kódovat, je dekodovat je na přijímací straně. Zde nestačí jen určit, zda data jsou jednička a nebo nula, ale je třeba vyrobit ze seriové informace zpět i hodiny pro obvod SIO. Vstup dat se u obvodu SIO nazývá RXDA IO16/12 (přijímaná data) a vstup hodin RXCA* IO16/13 (hodiny přijímače). Připomeňme, že obvod SIO má v sobě dva kompletní vysílače a přijímače na zvané "kanály". Kanály jsou označené A a B a u desky ZNET se používá pouze kanál A.

Data ze vstupu RXDA jsou do obvodu SIO strobována tentokrát náběžnou hranou hodin RXCA*. Na schématu vlevo nahoře najdete signál RD (přijmutá data) který přichází z listu 2 kde jsou vazební obvody komunikační linky. Signál RD přichází zakódován v manchester kódu. Jako dekodér dat a současně separátor hodin pracuje paměť PROM S287 IO6 a šestibitový registr LS174 IO4 (v pravém rohu nahoře). Hodiny registru přicházejí z výstupu QB děliče LS93 IO1 a mají frekvenci 8MHz. Dva klopné obvody z registru LS174 (D5/Q5 a D4/Q4) jsou použity na zasynchronizování přijímaných dat RD na hodiny dekodéru (8 MHz). Ostatní čtyři tvoří společně s pamětí PROM S287 IO5 tak zvaný stavový automat. Popišme si tabulkou zapojení tohoto automatu:

vstup PROM	signál	vede z	D vstup vede z
A0	Q1	174/Q1	výstupu 01 PROM
A1	Q2	174/Q2	výstupu 02 PROM
A2	Q3 RXCA*	174/Q3	výstupu 03 PROM
A3	Q6	174/Q6	výstupu 04 PROM
A4	Q4 RD	174/Q4	data RD

Poznámka: Číslování výstupů registru (místo Q6 by logicky mělo být Q4) je přeházeno pro dosažení jednoduchosti plošného spoje. Stav výstupů paměti PROM se přepisuje do registru a zpět adresuje paměť PROM. Jediný signál, který může změnit posloupnost stavů zapsaných v PROM, je signál na vstupu A4 což jsou přijmutá seriová data z linky, zasynchronizovaná na hodiny registru LS174. Hodiny obvodu SIO RXCA* jsou generovány z výstupu Q3 registru LS174 a data RXDA z výstupu Q4 tohoto registru.

5.3. Procesor na desce ZNET.

Na desce je mikroprocesor Z80A I07. Obvod Z80 SIO by mohl být řízen i procesorem 8088, který je na desce WS16, tedy hlavním procesorem počítače. Seriová komunikace mezi 32 počítači, které mohou být v síti LAN zapojeny, je však velice složitá činnost. Při této komunikaci je třeba vykonávat mnoho na sebe navazujících operací:

- nastavit obvod SIO na požadovanou operaci vysílání a nebo příjmu.
- připravit do paměti data k vysílání a nebo připravit část paměti pro ukládání přijatých dat.
- připravit záhlaví zprávy, zejména adresu příjemce.
- dohodnout se s ostatními stanicemi, kdo bude vysílat.
- vyslat a nebo přijmout data.
- zjistit zda operace proběhla správně.
- v případě chyby opakovat celou akci.
- v případě správného přenosu předat řízení programu, který řídí komunikaci na úrovni přenosu souborů dat nebo programů.

Při přenosové frekvenci 888 Kbit/s (asi 111 Kbyte/s) je čas na jeden přijatý nebo vyslaný byte asi 9 μ sec. To je tak málo, že kdyby řídil přenos procesor 8088 počítače PC16NB na nic jiného by mu čas nezbyl. Proto je na desce ZNET tak zvaný lokální (místní) procesor. Protože obvod SIO je z rodiny obvodů firmy Zilog, je zde použit mikroprocesor Zilog Z80A s hodinovou frekvencí 4 MHz.

Jak víme každý mikroprocesor může mít připojenu paměť EPROM, paměť RAM a porty. Mikroprocesor Z80A může adresovat až 64 Kbyte paměti a 256 portů. Pro funkci řízení desky ZNET mu však stačí mnohem méně. Jeho adresový prostor paměti je rozdělen po blocích 16 Kbyte takto:

adresa	obsazení	čtení/zápis
0000 až 3FFF	EPROM 8 nebo 2 Kbyte	čtení
4000 až 7FFF	přepínače S1 - S8	čtení
8000 až BFFF	(EPROM)	čtení
C000 až FFFF	RAM 2 nebo 8 Kbyte	čtení/zápis

Poznámky:

- a/ Ve druhém bloku se čte stav osminásobného přepínače S1 až S8. Normálně by se četl pomocí portů, ale zde je volno v prostoru paměti a odpadne dekodér portů.
- b/ Paměť EPROM se ve třetím bloku opakuje, ale je-li takto adresována neslouží pro Z80A.
- c/ Paměť EPROM i paměť RAM může být z čipů 2Kbyte nebo 8Kbyte. EPROM je obvykle 8Kbyte a RAM je obvykle 2Kbyte.

S adresací portů na desce ZNET je to ještě jednodušší než s pamětí. K mikroprocesoru Z80A je připojen jen obvod SIO I016 a proto může být jeho vstup CE* trvale uzemněn. Obvod SIO pak představuje vlastně čtyři porty a jejich výběr se provádí adresami A0 a A1 připojenými na vstupy C/D* a B/A* obvodu SIO. Adresy pak určují tyto porty obvodu SIO:

A1	A0	C/D*	B/A*	registry obvodu SIO
0	0	0	0	vysílací a přijímací registry kanálu A
0	1	0	1	vysílací a přijímací registry kanálu B
1	0	1	0	řídící a stavové registry kanálu A
1	1	1	1	řídící a stavové registry kanálu B

Jak je z tabulky vidět, program vystačí s adresami portů 00, 01, 02 a 03. Obvod SIO má však více řídících a stavových registrů. Na adrese 02 je normálně přístupný čtecí registr RRO a zápisový registr WRO kanálu A. Na adrese 03 je normálně přístupný čtecí registr RRO a zápisový registr WRO kanálu B. Chceme-li komuni-

kovat s ostatními registry, musíme nejprve zapsat číslo požadovaného registru do nejnižších tří bitů registrů WR0 příslušného kanálu.

Adresace dalších registrů obvodu SIO.

bity registru W0			zápis do	čtení z
D2	D1	D0		
0	0	0	WR0	RR0
0	0	1	WR1	RR1
0	1	0	WR2	RR2
0	1	1	WR3	-
1	0	0	WR4	-
1	0	1	WR5	-
1	1	0	WR6	-
1	1	1	WR7	-

Zápisové registry slouží:

WR0	k výběru registrů a řízení přerušování a nulování
WR1	k řízení přerušování, Wait a Ready
WR2	k zadání vektoru přerušování
WR3	k zadání parametrů přijímače
WR4	k výběru ASYNC, SYNC a SDLC módu
WR5	k zadání parametrů vysílače
WR6	k zadání synchronizačního znaku v SYNC módu
WR7	k zadání očekávaného synchronizačního znaku

Čtecí registry RR0 až RR2 slouží pro čtení stavu obvodu a vektoru přerušování. Programování obvodu Z80 SIO je velmi složité a nebudeme ho zde popisovat. To co zde bylo řečeno vystačí k popisu adresace portů mikroprocesoru Z80A na desce ZNET.

5.4. Spojení Z80A a SIO.

Tyto dva obvody jsou spojeny přímo signály:

název	funkce
M1*	příznak přenosu vektoru přerušování
CLK	hodiny procesoru 4MHz
RD*	čtení
A0	adresa portu
A1	adresa portu
RESET*	nulování
IORQ*	požadavek na porty
INT*	přerušování
D0 až D7	data

Je zajímavé, že obvod SIO nemá vstup WR* (zápis) a dekoduje si řídicí signály takto:

M1*	IORQ*	RD*	operace
0	0	1	čtení vektoru přerušení
1	0	0	čtení portů
1	0	1	zápis do portů

Přerušení typu NMI není na desce ZNET použito a vstup NMI Z80A je na jedničce (odpor R6). Poněkud komplikovanější je řízení synchronisace přenosu dat mezi obvodem SIO a Z80A. Pro přenos dat při příjmu i vysílání se nepoužívá obvyklé programové smyčky s testováním stavu přijímače a nebo vysílače. To by se za 9 /usec. na jeden byte nestihlo. Používá se řetězových instrukcí Z80A (INIR a OTIR), které samy umějí přenášet data mezi porty a pamětí a ještě počítat počet přenesených byte. Synchronisace je zajištěna výstupem WAIT*/ READY* obvodu SIO IO16/10. Tento výstup je obvykle přímo spojen se vstupem WAIT* procesoru Z80A IO7/24. Signál je možno u obvodu SIO naprogramovat tak, aby procesor čekal, dokud nejsou připravena (nebo převzata) data. Zde je zapojení zkomplikováno požadavkem, aby při přerušení (předčasné ukončení přenosu chybou) nezůstal procesor ve stavu WAIT. Proto je mezi těmito signály zapojení z hradel ALS32 IO18/3 a ALS04 IO17/4, které dá do jedničky vstup WAIT* procesoru při přerušení. Obvod SIO má tak zvané řetězové (seriové) přerušení. Jeho vstup IEI IO16/6 je na jedničce (odpor 8) a proto jeho výstup IEO IO16/7 přejde při přerušení do jedničky a odblokuje případný WAIT procesoru.

5.5. Paměť RAM.

Obvod IO8 je paměť RAM. Jak uvidíme později slouží tato paměť RAM jak procesoru Z80A na desce ZNET, tak hlavnímu procesoru 8088 počítače PC 16 NB. Přes tuto paměť si oba procesory vyměňují data i povely a stav řízení komunikace. Na schematu je nakreslena značka obvodu 6264 o kapacitě 8Kbyte. U nás však tyto paměti nejsou k dispozici a proto je zatím používán obvod K537RU8A z SSSR (ekvivalent paměti 6516) o kapacitě jen 2Kbyte. Tyto obvody se liší tím, že paměť 8Kbyte má 28 vývodů a paměť 2Kbyte jen 24 vývodů. Na plošném spoji je motiv pro obě paměti. U paměti s 24 vývody je samozřejmě vývod č.23 ve skutečnosti vývod č.21, ale v následujícím je číslování ponecháno podle motivu plošného spoje, který je pro 28 vývodů.

Paměti se liší zapojením vývodů takto:

6264		6516	
signál		signál	
č.23	All	č.23	WE*
č.27	WE*	-	-

Paměť 6516 již vývod č.27 nemá a adresu All nepotřebuje. Na plošném spoji je napevno provedena propojka P4 pro paměti 2 Kbyte, neboli je na vývod č.23 přiveden signál WE* (zápis). V případě rozšiřování paměti na 8 Kbyte je třeba pevnou propojku P4 přeškrábnout a spojit propojku P3. Při rozšiřování paměti by bylo třeba i změnit program pro řízení desky ZNET uložený v paměti EPROM, který je napsán jen pro paměť RAM 2KByte. Paměť RAM je vybírána nulou na signálu RAM*, který přichází z dekodéru adresy LS155 IO21 (list 2). Signál WE* zápisu do RAM je přímo signál WR* procesoru. Jak uvidíme dále, je to vlastně signál zápisu jak procesoru Z80A, tak v určitém případě i signál zápisu MW* z procesoru 8088.

5.6. Paměť EPROM.

Podobně jako paměť RAM, i paměť EPROM slouží pro oba procesory. Na schematu je nakreslena značka pro paměť EPROM typu 2764 o kapacitě 8Kbyte. Touto pamětí je také deska osazena. Na desce je pevně zapojena propojka P1 přivádějící na vývod č.23 adresu All. Propojka P2, přivádějící na vývod č.21 paměti typu 2716 (2Kbyte) napětí +5V sloužila jen po dobu vývoje desky, kdy pro krátké programy stačila kapacita EPROM 2Kbyte. Při použití paměti typu 2716 by bylo nutné přerušit P1 a spojit P2.

Paměť EPROM je vybírána signálem ROM* z listu 2 a její výstupy jsou otevírány signálem RD* procesoru Z80A a jak uvidíme dále, někdy i signálem MR* z procesoru 8088.

5.7. Přepínače S1 až S8.

Stav přepínačů se čte jako paměť pomocí, výběrového signálu SSW* a signálu RD*. Součin těchto negativních signálů vyrábí hradlo ALS32 IO18/6. Výstup tohoto hradla otevírá třístavové zesilovače LS244 IO14. Kontakty přepínače jsou ošetřeny odpory 4K7 připojenými na +5V.

5.8. Způsob komunikace mezi procesory.

Než si vysvětlíme funkci třístavových zesilovačů adres, dat a řídicích signálů, které jsou na schematu úplně vlevo, musíme si říci něco o tom, jak oba procesory mezi sebou komunikují.

Způsob komunikace obou procesorů je značně neobvyklý. Řekněme si tedy nejprve jaké jsou obvyklé způsoby komunikace procesoru 8088 počítače typu PC XT a podobného adaptéru sítě LAN třeba od firmy IBM.

- a/ Na desce adaptéru je paměť EPROM s programem NETBIOS, která se hlásí v adresovém prostoru pamětí ROM počítače PC XT. Obsah takové paměti pak začíná dohodnutým kódem 55 HEX a AA HEX. Program BIOS, který je v každém PC XT pak podle tohoto kódu příslušnou ROM nebo EPROM pozná, a začlení si ji jako extenzi svého Biosu.
- b/ Předávání parametrů, povelů a stavů mezi adaptérem a počítačem probíhá přes IO porty počítače PC XT.
- c/ Předávání dat pro vysílání a přijímaných dat probíhá obvykle buď DMA přenosem (třeba na kanálu č.1) a nebo také přes porty.

Jak je vidět, bylo by třeba, aby na adaptéru sítě byl dekodér adresy EPROM, paměť EPROM s programem NETBIOS, dekodér adres portů a obousměrné komunikační porty přístupné oběma procesorům. Přitom by na desce musela zůstat další paměť EPROM a RAM pro procesor Z80A. Na jednoduchou desku sítě by toho bylo trochu moc.

Proto jsme použili jednodušší způsob komunikace mezi procesory. Do oblasti, kde jsou v PC XT paměti ROM s extenzí Biosu, jsme umístili adresy paměti EPROM na desce ZNET i adresy paměti RAM na desce ZNET. Mikroprocesor Z80A má vstup BUSRQ* pomocí nějž umí přejít do stavu DMA, neboli odpojit řídicí, adresovou a datovou sběrnici do třetího stavu. Jak uvidíme na listu 2, při požadavku na čtení EPROM a nebo na čtení a zápis do RAM z procesoru 8088, odpojí se Z80A a přejde do stavu DMA. Na adresové sběrnici a na řídicí a datovou sběrnici se připojí přes zesilovače signály sběrnice mikroprocesoru 8088. Tím má procesor 8088 přístup jak do RAM tak do EPROM. Po vykonání čtení nebo zápisu žádost o DMA zmizí a ke sběrnici se připojí opět mikroprocesor Z80A.

5.9. Zesilovače adres, řídicích signálů a dat.

Na listu 1 vlevo jsou třístavové zesilovače LS244 a LS245. Základním řídicím signálem je signál ACK*. Je-li tento signál v nule, je mikroprocesor Z80A odpojen od sběrnic a ke sběrnicím se připojují signály sběrnice počítače PC 16 NB.

Zesilovač LS244 IO10 připojuje adresy A0 až A7.

Zesilovač LS244 IO11 připojuje adresy A8 až A11 a adresy BA12 a BA13, které jsou překódované adresy A12 a A13. Překódování provádí paměť PROM IO12 na listu 2. Tento zesilovač také připojuje na signál RD* (Z80A) signál MR*(8088) a na signál WR* (Z80A) signál MW*(8088).

Výstupy obousměrného zesilovače dat LS245 IO13 jsou při ACK* v nule, připojeny na datovou sběrnici mikroprocesoru Z80A a nebo na datovou sběrnici počítače PC 16 NB. Směr přenosu dat pak určuje signál MR* z procesoru 8088.

5.10. Generátor žádosti o přerušení.

Některé výstupy obvodu Z80 SIO jsou použity na listu 2 a také některé vstupy obvodu přicházejí z listu 2. Pomocí některých nepoužitých výstupů (kanál B se nepoužívá celý) pro řízení modemu umí adaptér generovat žádost o přerušení na sběrnici počítače PC 16 NB. Nepoužité vstupy obvodu SIO IO16/22, 23, 27 a 28 jsou uzemněny. Ostatní jsou použity takto:

Vstup SIO	funkce
CTSA*	detekce kolize na lince
DCDA*	detekce signálu na lince
Výstup SIO	funkce
RTSA*	povolení vysílání na linku
DTRB*	povolení žádosti o přerušení
RTSB*	generace žádosti o přerušení na úrovni IRQ2

5.11. Shrnutí popisu listu 1.

Tím jsme ukončili popis listu 1 schémat desky ZNET. Zopakujme si alespoň jednotlivé funkční bloky o kterých jsme hovořili:

- časová základna generující hodiny 4MHz pro procesor a přenosovou frekvenci 888KHz pro SIO.
- obvod který kóduje seriová data z obvodu SIO do manchester kódu.
- dekodér přijímaného manchester kódu na data a hodiny pro přijímač obvodu SIO.
- mikroprocesor Z80A
- komunikační obvod Z80 SIO.
- paměť RAM 2 Kbyte
- paměť EPROM 8Kbyte
- osminásobný přepínač S1 až S8
- třístavové zesilovače pro komunikaci procesorů.
- obvod generující žádost o přerušeni na úrovni IRQ2

6. Popis listu 152-00651-4 ZNET schema - vazební obvody, dekodér.

Vpravo nahoře je konektor K1, kterým je deska ZNET spojena se sběrnici počítače PC 16 NB nebo se sběrnici jiného PC XT, nebo PC AT. Protože deska ZNET je adresována jako paměť, používají se všechny adresy A0 až A19, data D0 až D7, signál RDY, žádost o přerušeni IRQ2, RESET a řídicí signály paměti MR* a MW*. Pro vazební obvody je zapotřebí napětí +12V a -12V. Z napětí -12V se na desce ZNET vyrábí pomocí odporů R29 a R30, zenerovy diody KZ141 a kondensátorů C5 a C7, napětí -5V. Bylo by možné použít přímo napětí -5V se sběrnice počítače, ale zjistili jsme, že ne všechny PC XT toto napětí na sběrnici mají.

6.1. Dekodér adresy sběrnice.

Vlevo dole je adresový dekodér pro přístup mikroprocesoru 8088 do pamětí EPROM a RAM desky ZNET. Základem dekodéru je paměť PROM S571 IO12.

- paměť PROM dekoduje adresy A12 až A19 sběrnice PC 16 NB.
- paměť PROM je povolována na vstupu CE* IO12/13 součtem signálů MR* a MW* se sběrnice.
- na vstup A7 paměti je připojen přepínač S9, pomocí kterého je možno volit dvě adresy paměti na kterých se hlásí EPROM a RAM adaptéru ZNET.
- adresy BA12 a BA13 jsou paměti PROM překódovány (je možno je invertovat) když potřebujeme, aby se paměti EPROM a RAM objevovaly na jiných adresách pro 8088 a jiných pro Z80A.
- výstup Q1 PROM IO12 12 je signál SEL*, který startuje celou činnost při komunikaci procesoru 8088 s adaptérem ZNET.

Signál BUSRQ* z výstupu hradla ALS32 IO18/11 je žádost pro Z80A o zapůjčení sběrnice, neboli o DMA stav. Signál BUSAK* je signál potvrzení od Z80A, že sběrnice je volná. Okolo těchto signálů se odehrává celý proces dorozumívání obou procesorů.

Klopný obvod ALS74 IO22/5 zajišťuje, aby se přístup k pamětem EPROM a RAM střídal mezi oba procesory. Tento klopný obvod má vstup D na nulu a jeho hodinový vstup CLK čeká na koncovou (náběžnou) hranu signálu SEL*. Po skončení signálu SEL* (po skončení přístupu 8088 k pamětem) se tento klopný obvod nastaví do stavu, kdy Q* IO22/5 se rovná jedničce. Tím je znemožněna generace signálu BUSRQ* z výstupu hradla OR ALS32 IO18/11. Teprve potom, co procesor Z80A přešel ze stavu DMA do pracovního stavu, přejde na jedničku signál BUSAK* a přes invertor ALS04 (IO17/12) se klopný obvod IO22/5 znovu nastaví do jedničky. Od této chvíle je možno znovu požádat Z80A o zapůjčení sběrnice.

6.2. Signál RDY.

Jak je vidět na mikroprocesor 8088 se nedostane ihned po vydání jeho signálů MR* nebo MW*. Musí chvíli počkat. Není-li deska ZNET vybrána, je signál SEL* v jedničce. Tím je nastavován klopný obvod ALS74 IO22/5 tak, že má na výstupu Q* nulu. Na vstupu hradla LS125 IO23/2 je tedy připravena nula. Když potom přejde signál SEL* do nuly, otevře se hradlo LS125 a na signálu RDY sběrnice bude také nula. Mikroprocesor 8088 musí čekat. Teprve až přejde Z80A do stavu DMA, přejde do nuly signál BUSAK* a jeho inverse na vstupu ALS74 IO22/12 přejde do jedničky. Toto jednička se zpozdí o jeden takt hodin CLK klopným obvodem IO22/9 a jeho výstup Q překlopí klopný obvod signálu RDY do nuly, na Q* (IO23/6) se objeví jednička a RDY přejde do jedničky. Teď teprve může mikroprocesor 8088 dokončit čtení nebo zápis.

6.3. Adresový dekodér pamětového prostoru Z80A.

Dekodér adresy tvořený pamětí PROM IO12 vybírá z adresového prostoru PC XT část vyhrazenou pro paměti na desce ZNET. Dekodér LS155 IO21 dekoduje adresový prostor mikroprocesoru Z80A podle tabulky uvedené v popisu listu 1. Tento dekodér je při činnosti mikroprocesoru Z80A uvolňován signálem MREQ* a umožňuje vybrat paměť RAM a EPROM i při stavu DMA mikroprocesoru Z80A a v tom případě je LS155 povolen součinem signálů SEL* a BUSAK*, nazvaným ACK*. Jako součin pracuje hradlo ALS32 IO18/8. Součet obou povolovacích signálů ACK* a MREQ* generuje pro povolovací vstupy 1G* a 2G* obvodu LS155 hradlo ALS08 IO19/8. Z výstupu hradla ALS32 přichází na jeho vstup signál ACK* zpožděný RC členem R12/C1. Zpoždění je nutné, protože musí nejprve přepnout zesilovače adres LS244 (list 1) a pak teprve může přijít na paměť RAM K537 RU8A signál výběru. Tato paměť má totiž strobování adresy do čipu signálem výběru a adresa na ní musí být dříve, než signál výběru.

Do výběrových vstupů A a B dekodéru LS155 IO21 vedou adresy A14 a A15. Dekodér LS155 je dvojnásobný dekodér 1 ze 4. Výstupy 1Y0 až 1Y3 jsou povolovány vstupem 1G*. Výstupy 2Y0 až 2Y3 jsou povolovány dvěma vstupy 2G* a 2C*. Na 2C* vede signál zápisu WR* a výstup 2Y2 je povolen jen při zápisu do bloku 16 Kbyte paměti č.2. Jak již bylo řečeno dekodér LS155 dekoduje adresový prostor Z80A po blocích 16 Kbyte.

Funkce dekodéru LS155 IO21 pro Z80A.

A15	A14	blok	vybráno	při zápisu
0	0	0	EPROM	-
0	1	1	přepínače	-
1	0	2	EPROM	RESET
1	1	3	RAM	-

Při přístupu procesoru 8088 počítače PC 16 NB k pamětem na desce ZNET se funkce dekodéru trochu změní. Bit A15 adresy mikroprocesoru Z80A při DMA zůstává v jedničce. K adresovému bitu A15 se totiž nepřipojuje třístavovými zesilovači LS244 (list 1) žádný signál sběrnice počítače. Jedničku na A15 zajišťuje odpor R42 připojený na +5V. K adresovému bitu Z80A označenému A14 se při přístupu procesoru 8088 k pamětem připojuje třístavovým zesilovačem LS244 IO11/9 (list 1) adresa BA13. Tuto adresu generuje dekodér adresy, paměť PROM S571 IO12/11.

Při přístupu procesoru 8088 k pamětem pak pracuje obvod LS155 takto:

Funkce dekodéru LS155 IO21 pro 8088.

A15	BA13	blok	vybráno	při zápisu
1	0	2	EPROM	RESET
1	1	3	RAM	-

Signál BA13 tedy vybírá při přístupu procesoru 8088 k pamětem desky ZNET mezi RAM a EPROM. Protože je někdy třeba, umět celou desku ZNET nastavit do známého stavu, slouží jinak nepožívaný zápis procesoru 8088, do oblasti paměti EPROM na desce ZNET, jako RESET. Z výstupu dekodéru LS155 IO21/11 se krátký impuls pro RESET prodlouží monostabilním obvodem LS123 IO6/12 a sečte se signálem RES sběrnice (z konektoru K1). Na výstupu hradla LS08 IO19/11 tak vznikne negativní signál RST*, který nuluje Z80A a SIO na listu 1.

6.4. Adresová mapa obou procesorů.

Poměrně složitou funkci adresového dekodéru tvořeného pamětí PROM S571 IO12 a dekodérem LS155 IO21 si můžeme znázornit tak zvanou MAPOU ADRESOVÉHO PROSTORU obou procesorů:

ADRESY Z80A		ADRESY 8088	
FFFF HEX	Blok 3 RAM 16 K (8 x 2 K)		CE000 HEX
C000 HEX		RAM 4 K (2 x 2 K)	CDFFF HEX CD000 HEX
BFFF HEX	Blok 2 EPROM 16 K (2 x 8 K)	EPROM 4K WR* = RESET	CCFFF HEX CC000 HEX
8000 HEX	WR* = RESET		CBFFF HEX
7FFF HEX	Blok 1 PŘEPÍNAČE 16 K		
4000 HEX			
3FFF HEX	Blok 0 EPROM 16 K (2 x 8 K)		
0000 HEX			

Mapa nezachycuje zcela přesně poměry při transformaci adresových prostorů. Z paměti EPROM 8Kbyte na desce ZNET se do procesoru 8088 čte pouze její druhá polovina to znamená adresy 1000 až 1FFF HEX celkem 4 Kbyte. Paměť EPROM se vlastně objevuje v adresovém prostoru Z80 čtyřikrát, dvakrát v bloku nula a dvakrát v bloku 2. Paměť RAM 2 K se opakuje v bloku 3 celkem osmkrát a při čtení do procesoru 8088 dvakrát. Mapa také neukazuje možnost volby druhé adresy pro mikroprocesor 8088 pomocí přepínače S9.

Důležité je hlavně to, že v druhé polovině paměti EPROM je uložen program NETBIOS, který se procesoru 8088 jeví jako ROM od adresy CC000 HEX. Data se pak vyměňují přes paměť RAM, která se objevuje v prostoru paměti procesoru 8088 od adresy CD000 HEX.

6.5. Vazební obvody linky.

Data se přenášejí mezi počítači po koaxiálním kabelu. Jednotlivé adaptéry ZNET a tím i počítače v síti, musí být od sebe galvanicky odděleny pomocí vazebních obvodů, součástí kterých je feritový oddělovací transformátorek. Vazební obvody zajišťují následující funkce:

- obvod 75452 budí dvojčinně primární stranu vinutí transformátorku při vysílání. Proud transformátorem je určen odpory R18 a R19 zapojenými ve středním vývodu vinutí. Při vysílání se do obou polovin vinutí 4-3 a 5-6 spíná přes odpory střídavě napětí +5V (Vcc). Signál RTSA* povoluje nulou vysílání a hlídání kolize na lince.
- Úbytek na odporu R19 je sledován zesilovačem MAC111 I024. Překročí-li úbytek napětí danou mez, je to považováno za kolizi (pracuje více vysílačů najednou) a tento stav je hlášen do obvodu SIO (a odtud do Z80A) signálem CTSA*. Tomuto hlídání kolizí se u sítí LAN říká "detekce kolize".
- Vinutí transformátoru 7-8 a 9-10 slouží pro příjem. Jako zesilovač pracuje rychlý komparátor MAC160 I026. Přijatá data jdou do separátoru dat a hodin na listu 1 jako signál RD.
- Monostabilní obvod LS123 I06/4 pracuje jako detektor impulsů na lince. Přicházejí-li z linky změny z jedničky na nuly startuje se monostabilní obvod. Z jeho výstupu Q* pak jde trvalý nulový signál DCDA* hlásící, že linka je obsazena. Tomuto hlídání signálu na lince se u sítí LAN říká "detekce nosné".
- Relé RP210/6V odpojuje sekundární vinutí transformátorku od konektoru koaxiálního kabelu při vypnutí počítače. Síť tak není zatěžována pasivními vypnutými stanicemi. Relé je buzeno přímo napětím +5V. Při výrobě je možno použít i jiné relé, na +12V a na plošném spoji je připravena propojka na +12V.

- Koaxiální kabel ~~o charakteristické impedanci~~ 50 ohm, se připojuje pomocí T spojky typu BNC, do konektoru 2. T spojka zajišťuje, že odpojení kabelu od adapteru nepřeruší celou linku. Na začátku a konci kabelu musí být zakončovací členy o impedanci 50 Ohm.

7. Závěr.

Deska ZNET představuje nejjednodušší adapter sítě LAN pro počítače typu PC XT. Sít s deskami ZNET představuje typickou kolizní síť s náhodným přístupem a s detekcí nosné a s detekcí kolize. Pomocí obvodu Z80A SIO probíhá komunikace protokolem SDLC s přenosovou frekvencí 888KHz. Deska ZNET má svůj, lokální, procesor Z80A a s hlavním procesorem PC XT komunikuje přes paměť RAM a paměť EPROM, které jsou přístupné z obou procesorů.