

152-00552-4 / str. 1

TECHNICKÝ POPIS

DESKY DMA

1. Úvod	4
2. Skladba dokumentace desky DMA	4
3. Popis výkresu 152-00550-2 - deska DMA osazená	4
4. Popis 152-00551-4 / list 1 - přístup do RWM	5
4.1. Spolupráce s procesorem	5
4.2. Typ použitého řadiče DMA	6
4.3. Popis činnosti při DMA přenosu	6
4.4. Obvod 8237A-5	7
4.5. Popis režimů operací řadiče DMA	9
4.5.1. Cyklus nečinnosti	10
4.5.2. Aktivní cyklus	10
4.5.3. Typy přenosů	11
4.6. Programování řadiče DMA	13
4.7. Popis registrů řadiče DMA	14
4.7.1. Registr běžné adresy	14
4.7.2. Registr běžného počtu slov	14
4.7.3. Bázové registry adresy a běžného počtu slov	15
4.7.4. Příkazový registr	15
4.7.5. Registr módu	15
4.7.6. Registr žádostí	16
4.7.7. Registr masky	16
4.7.8. Stavový registr	17
4.7.9. Přechodný registr	17
4.7.10. Programové příkazy	18
4.8. Připojení řadiče DMA	20
4.9. Signál AEN	22
4.10. Dekodér adres	22
5. Popis 152-00551-4 / list 2 - řadič pružných disků	23
5.1. Konektor pružného disku	24
5.2. Popis obvodu 8272A	26
5.2.1. Popis vývodů obvodu 8272A	26
5.2.2. Registry obvodu 8272A-interface k procesoru	27
5.2.3. Soubor příkazů obvodu 8272A	29
Čtení dat	29
Čtení vymazaných dat	30
Zápis dat	31
Zápis vymazaných dat	32
Čtení stopy	33
Čtení ID	34
Hledání dat stejných se vzorem	35
Hledání dat stejných se vzorem nebo menších než vzor	36
Hledání dat stejných se vzorem nebo větších než vzor	37
Specifikace	38
Zjištění stavu jednotky	38
Seek	38
Neplatný příkaz	38
Mnemonika použitá v příkazech	39

5.2.4. Popis příkazů	40
Čtení dat	40
Zápis dat	41
Zápis vymazaných dat	42
Čtení vymazaných dat	42
Čtení stopy	42
Čtení ID	42
Formátování stopy	43
SCAN	43
SEEK	44
Rekalibrace	44
Zjištění stavu přerušení	45
Specifikace	45
Zjištění stavu jednotky	46
Neplatný příkaz	46
5.2.5. Tabulky stavových registrů	47
Stavový registr 0	47
Stavový registr 1	48
Stavový registr 2	49
Stavový registr 3	50
5.3. Zapojení řadiče pružných disků	50
5.4. Signály SEL0* a SEL1* a M0* a M1*	51
5.5. Signály vystavení hlavy STEP*, DIR*, T00* a SH*	51
5.6. Signály pro DMA přenos a přerušení	52
5.7. Zdroj hodin	53
5.8. Obvody zápisu	53
5.9. Obvody čtení	53
5.10. Ostatní signály	55
6. Popis 152-00551-4 / list 3 - tiskárna a konektory	55
6.1. Zapojení konektoru	56
6.2. Význam signálů	56
6.3. Signály z vnějších obvodů	57
6.4. Datový registr	57
6.5. Stavový registr	58
6.6. Řídící registr	58
6.7. Obousměrný přenos dat	58
6.8. Zapojení konektorů	58
7. Závěr	59

1. Úvod.

Deska DMA rozšiřuje mikropočítač o obvody řadiče pružných disků, obvody DMA přenosu a o rozhraní tiskárny. Současně nahrazuje funkci desky REF. Desku DMA lze umístit (stejně jako desku REF) pouze na pozici X1. V počítači PC 16 NB může být vždy jen jedna z těchto desek. Tímto neobvyklým řešením (které je nám známo pouze u počítače TANDY 1000, určeného také pro domácí a školní aplikace) se u pracovních stanic sítě ušetřilo značné množství obvodů. Tyto obvody by jinak byly v počítači nevyužity. Protože počítač PC 16 NB je určen především pro lokální počítačové sítě s cca deseti pracovními stanicemi na jeden řídicí počítač, jsou to úspory významné. Použité řešení neuzavírá cestu pro rozšíření každého počítače postupně nejen o pružné disky, ale i o všechny dostupné desky pro počítače typu IBM PC XT. Jistým omezením je skutečnost, že v počítači nemůže současně pracovat jiný řadič pružných disků, pokud využívá stejných periferních adres, popřípadě jiná deska, která tento řadič obsahuje.

2. Skladba dokumentace desky DMA.

Dokumentace desky DMA obsahuje jeden list s rozložením součástek na desce a tři listy schema.

3. Popis výkresu 152-00550-2 - deska DMA osazená.

Desky počítačů IBM PC-XT jsou charakterizovány tím, že mají přímý zlatěný konektor s 2 x 31 kontakty pro zasunutí do sběrnice počítače. Na tomto konektoru je definována sběrnice nazývaná sběrnicí IBM PC. Na pravé straně desky je pak vždy panel, který umožňuje zajištění desky v počítači šroubem a současně tvoří stínění proti pronikání rušení z vnitřku počítače do okolí. Výška desek pro IBM PC a PC XT je jednotná (100 mm). Desky se vyrábějí ve třech základních velikostech (tak zvané dlouhé, střední a krátké); deska DMA patří mezi střední. Elektronické obvody na desce DMA se dají rozdělit do tří skupin:

- Vpravo jsou obvody pro připojení tiskárny s rozhraním CENTRONICS. Výstup na tiskárnu je přes 25 pólovou zásuvku typu Dsub Cannon. Těmto konektorům se pro jejich charakteristický lichoběžníkový tvar znemožňující otočení konektoru při zasouvání protikusu říká "DELTA". Rozhraní tiskárny je postaveno na obvodech řady 74LS a není zde tedy použit obvyklý obvod paralelních portů 8255A, protože je stejně nutné signály rozhraní zesílit před vysláním do dlouhého kabelu tiskárny.

- Uprostřed desky jsou obvody řadiče DMA přenosu, jejichž základem je samotný řadič DMA, Intel 8237A-5, a registr pro rozšíření DMA adresy na 20 bitů (obvod LS670).
- V levé polovině desky jsou obvody řadiče pružného disku. Je zde použit obvod NEC765A, který potom v licenci vyráběla i firma Intel pod označením Intel 8272A. Na desce DMA je použit bulharský ekvivalent CM609. V popisu desky DMA řadič nazýváme 8272A proto, že tradice obvodů Intel jsou u nás nejsilnější. Na levé hraně desky je 34 pólový řezný konektor pro připojení pružných disků. Protože pružné disky jsou vnitřní součásti počítače, je tento konektor vlevo a kabel jde přímo na ně vnitřkem skřínky.

4. Popis 152-00551-4 / list 1 - přístup do RWM.

Na prvním listu schema jsou obvody přímého přístupu do paměti. Přímý přístup do paměti je obvykle vymoženost počítačů vyšší cenové třídy, protože komplikuje zapojení obvodů počítače. Na druhé straně však umožňuje zvýšení přenosové rychlosti dat do a nebo z přídavného zařízení. U menších počítačů se používá takzvaného programového přenosu dat. Pro každý přenesený byte dat je v programu provedeno několik nezbytných instrukcí, které testují připravenost dat a potom je přenášejí na danou adresu a připravují adresu pro příští přenos. Počet přenesených dat se musí také zjišťovat programem. Programový přenos je proto pomalý a zatěžuje časově počítač. Některá zařízení v počítači, jako jsou disky, nebo desky komunikačních sítí LAN, přenášejí data rychleji než je schopen přenést mikroprocesor Intel 8088 programově. Vyšších rychlostí přenosu lze dosáhnout jen použitím přímého přenosu dat mezi zařízením a pamětí. Při DMA přenosu se nastaví v řadiči DMA jen základní parametry přenosu (odkud/ kam/kolik) a vše ostatní se nechá na samotném řadiči DMA. Takový přenos je samozřejmě několikanásobně rychlejší.

4.1. Spolupráce s procesorem.

Řadič DMA musí umět řídit sběrnici, podobně jako procesor. Při DMA přenosu řadič DMA vlastně procesor nahrazuje. Řadič DMA si nejprve s procesorem dohodne předání sběrnice a potom již sám generuje adresu paměti a řídicí signály pro čtení, nebo zápis. Rozdílné proti přenosům dat pod řízením procesoru je u DMA to, že adresa obsluhovaného portu je dána pevně. Rozšiřovací desky, které se zasouvají do konektorů sběrnice, a které mají možnost DMA přenosů, se musí před zasunutím přiřadit jednomu ze čtyř kanálů řadiče DMA. Zde je nutné připomenout, že kanál č.0 je pevně přiřazen pro DMA refreš dynamických pamětí RAM na desce WS-16. Zbývají tedy kanály č.1, 2 a 3, jejichž sekvence žádostí o DMA pak probíhá speciálně pro každý kanál zvlášť pomocí signálů žádosti a potvrzení žádosti o DMA. Port,

který má při programovém přenosu normální adresu, je při DMA určen implicitně číslem kanálu DMA, ke kterému je připojen. Při DMA přenosu tedy řadič DMA adresuje jen paměť a port je pevně určen zapojením kanálových signálů. Proto je počet desek, které mohou využívat DMA, omezen u počítačů typu IBM PC na tři.

4.2. Typ použitého řadiče DMA.

U počítačů typu IBM PC XT je použit řadič přerušení Intel 8237A-5, u počítačů typu PC AT jsou použity dokonce dva takové řadiče. Obvod 8237A-5 umožňuje přenos po čtyřech kanálech do paměti o rozsahu 64 KByte. Protože u počítačů IBM PC je adresa paměti dvacetibitová, je DMA adresa rozšířena pomocí čtyřbitových registrů stránky paměti na plných 20 bitů. Rozšíření je provedeno mimo obvod 8237A-5 pomocí obvodu LS670.

4.3. Popis činnosti při DMA přenosu.

Nyní si vysvětlíme jednotlivé kroky činnosti při DMA přenosu:

(1) Před každým DMA přenosem musí být tento přenos inicializován a musí být zadány tyto parametry přenosu:

- vybráno čtení a nebo zápis
- typ přenosu blokový, nebo přenos jednoho byte
- počet byte který se má přenést
- priorita jednotlivých kanálů (který má přednost)
- počáteční adresa paměti
- musí být povolena činnost příslušného kanálu

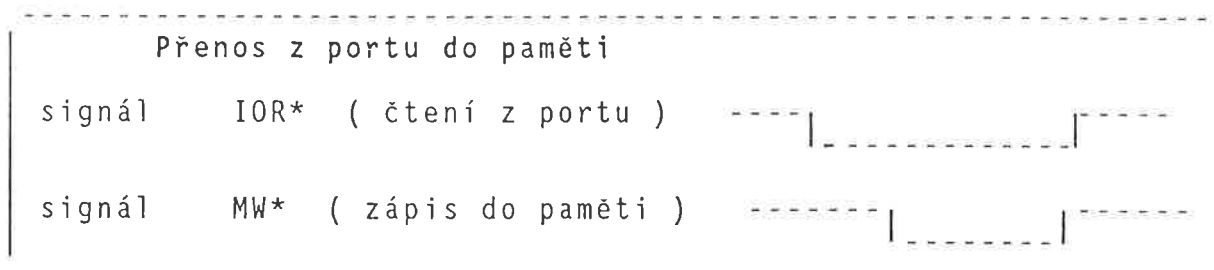
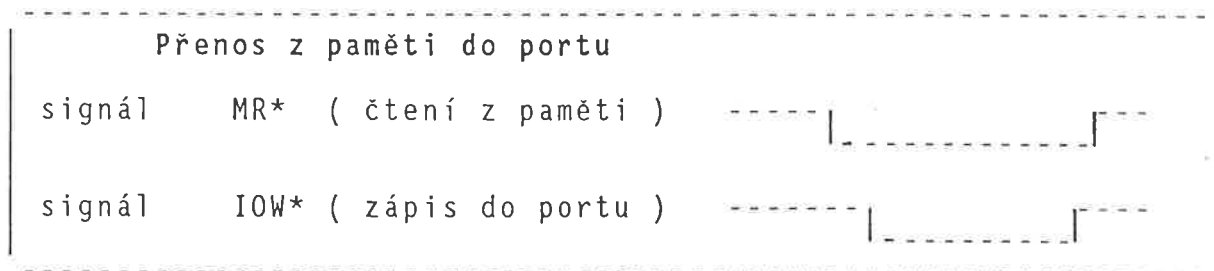
Inicializace se provádí zápisem řídicích slov do řadiče 8237A-5 pomocí výstupních instrukcí procesoru 8088.

(2) Port, připojený k příslušnému kanálu DMA (má-li připravena data k přenosu do paměti, nebo potřebuje-li data z paměti), požádá řadič o DMA. Tento požadavek se přenáší po signálech nazývaných DRQn (n=0,1,2,3,), kde zkratka DRQn znamená DMA Request.

(3) DMA řadič zhodnotí v případě více požadavků najednou jejich priority a pak se dohodne pomocí signálů HOLD a HLDA s mikroprocesorem 8088 o zapůjčení sběrnice pro DMA přenos. Zapůjčení (předání) je na sběrnici potvrzeno signálem AEN, odvozeným od signálu HLDA, který přejde při DMA do jedničky a odpojí budiče adres, řídicích signálů a dat přicházejících od procesoru a připojí budiče adres, dat a řídicích signálů přicházejících od DMA řadiče. Potom potvrdí DMA kanálu s nejvyšší prioritou, pomocí signálů DACKn* (n=0,1,2,3), možnost zahájení DMA přenosu. Zde připomeňme, že u většiny počítačů typu IBM PC se vlastně mikroprocesor 8088 nedostává pomocí klasické HOLD-HLDA sekvence

do stavu HOLD, ale do stavu WAIT, protože mikroprocesor 8088, pracující v maximálním módu, vstupy HOLD a HLDA nemá. Použitím minimálního módu 8088 se obvody počítače oproti klasickým počítačům PC XT značně zjednodušily.

- (4) Řadič DMA vygeneruje příslušnou adresu paměti a potom vydá potřebné řídicí signály:



- (5) Po skončení přenosu jednoho byte řadič DMA odečte jedničku z naprogramovaného požadovaného počtu přenášených byte a inkrementuje adresu paměti, aby byla připravena pro příští přenos. Potom předá řízení sběrnice zpět procesoru 8088 zrušením signálu HOLD. Tím také skončí HLDA a AEN.

- (6) Při přenosu posledního byte z naprogramovaného počtu vydá řadič DMA signál TC (Terminal Count), který oznámí portu, že operace přenosu bloku kanálem DMA je ukončena. Signál TC je vyslán pro všechny kanály společně, ale platí pouze pro ten kanál, který je v daném okamžiku aktivní (má DACK* v nule).

4.4. Obvod 8237A-5.

Je ve 40-vývodovém pouzdře, a protože má málo vývodů používá (podobně jako mikroprocesor 8088) multiplex adres pro generování plné 16 bitové adresy. Funkci obvodu si nejlépe vysvětlíme při popisu jednotlivých vývodů obvodu (signál - funkce viz. následující strana):

Sig.	Vyvod	Popis
IOR*	1	Obousměrný signál pro čtení z registrů obvodu DMA a pro čtení z portu při DMA přenosu.
IOW*	2	Obousměrný signál pro zápis do registrů obvodu DMA a pro zápis do portu při DMA přenosu.
MEMR*	3	Čtení dat z paměti při DMA přenosu do portů.
MEMW*	4	Zápis dat do paměti při přenosu dat z portů.
READY	6	Stejnomený signál jako na procesoru, který umožňuje prodloužit impulzy zápisu a nebo čtení pro pomalejší obvody paměti nebo portů.
HLDA	7	Vstup potvrzení stavu HOLD z procesoru.
ADSTB	8	Address Strobe, vzorkování multiplexované adresy z datových signálů D0 až D7 při DMA přenosu. Adresa se na datech objeví v první fázi každého cyklu přenosu DMA.
AEN	9	V IBM PC nepoužívaný signál oznamující totéž jako AEN na sběrnici - převzetí řízení sběrnice obvodem řadiče DMA.
HRQ	10	Požadavek na HOLD pro procesor.
CS*	11	Chip Select. Výběr obvodu při práci s registry.
CLK	12	Hodinový vstup obvodu 8237A-5. Poznamenejme, že požadavek na poměr jedničky a nuly (střídu) je u obvodu 8237A-5 trochu jiný, než u procesoru 8088, a proto se u počítačů IBM PC musí hodiny CLK pro DMA obvod upravovat.
RESET	13	Nuluje některé registry obvodu DMA a zastavuje jakoukoliv probíhající činnost.
DACK0*	25	Potvrzení zapůjčení přísluš. kanálu pro DMA přenos
DACK1*	24	
DACK2*	14	
DACK3*	15	
DRQ0	19	Požadavek na DMA, kanál 0 má nejvyšší prioritu
DRQ1	18	
DRQ2	17	
DRQ3	16	
GND	20	ZEM

Sig.	Vývod	Popis
D0	30	Datové signály pro zápis dat do vnitřních registrů řadiče a pro čtení z těchto registrů. Navíc se datové výstupy používají pro generování horní poloviny adresy při DMA.
D1	29	
D2	28	
D3	27	
D4	26	
D5	23	
D6	22	
D7	21	
Vcc	31	+5V.
A0	32	Obousměrné adresové signály. Spodní čtyři bity A0 až A3 jsou při práci s vnitřními registry použity pro jejich adresování. Všechny osm bitů pak pracuje jako výstup spodní poloviny adresy při DMA přenosu.
A1	33	
A2	34	
A3	35	
A4	37	
A5	38	
A6	39	
A7	40	
EOP*	36	(End off Process) - Obousměrný signál, v IBM PC použitý jako výstupní. Informuje porty o skončení přenosu. Jeho inverzí vznikne signál TC sběrnice. Aktivní úroveň přivedená na tento vývod způsobí ukončení přenosu DMA.

4.5. Popis režimů operací řadiče DMA.

Obvod 8237A-5 může pracovat ve dvou hlavních cyklech. Nazývají se aktivní a neaktivní cyklus. Každý cyklus se skládá z několika stavů. Obvod 8237A-5 předpokládá 7 oddělených stavů, z nichž každý se skládá z jedné plné hodinové periody. Stav I (SI) je neaktivní stav. Vstupuje se do něj tehdy, když obvod 8237A-5 nemá platnou žádost o DMA. Ve stavu SI není řadič DMA aktivní, ale může být například programován procesorem. Stav SO je první obslužný stav DMA. Obvod 8237A-5 již požádal o sběrnici, ale procesor ještě tuto žádost nepotvrdil. Dokud obvod 8237A-5 ještě nepřijal signál HLDA z procesoru, může být programován procesorem. Potvrzení z procesoru signalizuje, že přenos DMA může začít. Stavy SI, S2, S3 a S4 jsou pracovní stavy obsluhy DMA. Je-li potřeba k dokončení přenosu více času, než kolik je umožněno normálním časováním, vkládá se do obsluhy ještě stav SW (čekací stav) mezi stavy S2 nebo S3 a S4 použitím signálu READY. Data se přenášejí přímo z V/V zařízení do paměti (nebo naopak) pomocí signálů IOR* a MEMW* (nebo MEMR* a IOW*), které jsou aktivní současně. Při přenosech mezi periferním zařízením a pamětí se data nikdy nepřenášejí přes obvod 8237A-5.

Při přenosech z paměti do paměti je potřeba aktivovat čtení z paměti i zápis do paměti. Tyto stavy, které se podobají normálním pracovním stavům, používají k identifikaci dvouciferná čísla. Pro jeden přenos je potřeba 8 stavů. První čtyři stavy (S11-S14) se používají pro čtení z paměti a poslední čtyři stavy (S21-S24) pro zápis do paměti.

4.5.1. Cyklus nečinnosti.

Jestliže žádný kanál nevyžaduje obsluhu, vstoupí obvod 8237A-5 do stavu nečinnosti (idle) a vykonává stav SI. V tomto cyklu vzorkuje obvod 8237A-5 v každém hodinovém cyklu vstup DREQ, aby zjistil, jestli některý kanál nežádá o obsluhu DMA. Zařízení rovněž testuje vstup CS*, aby zjistilo, jestli se procesor nepokouší obsluhovat vnitřní registry zařízení. Jeli CS* v nule, a HLDA je v nule, vstoupí obvod 8237A-5 do podmínky programování. Procesor nyní čte nebo mění obsahy vnitřních registrů zařízení. O tom, který z registrů bude právě zpřístupněn, rozhodují adresní linky A0 až A3 a způsob přístupu (čtení nebo zápis) určují linky IOR* a IOW*. Vzhledem k většímu počtu vnitřních registrů, je v zařízení použit vnitřní klopný obvod, který generuje dodatečný bit adresy. Tento bit se používá k rozlišení horního nebo dolního bytu 16 bitových registrů adresy a počtu přenášených slov. Klopný obvod se nuluje při resetu nebo instrukcí Master Clear. Může být rovněž vynulován speciálním programovým příkazem. Speciální programové příkazy se mohou vykonávat tehdy, jeli obvod 8237A-5 v takzvané programovací podmínce.

4.5.2. Aktivní cyklus.

Jeli obvod 8237A-5 v neaktivním cyklu a nezamaskovaný kanál požádá o obsluhu DMA, zařízení vyšle do procesoru signál HRQ a vstoupí do takzvaného aktivního cyklu. V tomto cyklu se obvod nachází v jednom ze čtyř režimů:

- jednorázový přenos - v tomto režimu provede zařízení pouze jeden přenos. Po každém přenosu se inkrementuje nebo dekrementuje adresa a dekrementuje se počet přenášených slov. Byl-li k tomu kanál předem naprogramován, způsobí signál TC autoinicializaci při podtečení registru počtu přenášených slov z nuly na FFFFH. Aby byl signál DREQ rozpoznán, musí být v aktivní úrovni do té doby, dokud nebude aktivní signál DACK. Je-li DREQ aktivní po celou dobu trvání jednorázového přenosu, stane se HRQ neaktivním a uvolní sběrnici pro systém. Aktivním se stane po přijetí nového signálu HLDA a dojde k dalšímu jednoduchému přenosu.
- přenos bloků - v tomto režimu je přenos aktivován signálem DREQ a přenos probíhá až do výskytu signálu TC, který je důsledkem podtečení registru počtu přenášených slov na hod-

notu FFFFH, nebo vnějším signálem EOP* (End of Process). Signál DREQ musí být aktivní, dokud nepřejde do aktivního stavu signál DACK. Opět platí, že byl-li k tomu kanál předem naprogramován, dojde na konci přenosu k autoinicializaci.

- vyžádaný přenos - v tomto režimu probíhá přenos kontinuálně tak dlouho, dokud se nevyskytne signál TC, nebo externí signál EOP* nebo dokud se signál DREQ stane neaktivním. Tak může přenos kontinuálně probíhat tak dlouho, až V/V zařízení úplně nevyčerpá svoji kapacitu. Jakmile je V/V zařízení opět schopno přenosu, další podmínkou DREQ znovu spustí další přenos DMA. V průběhu času mezi obsluhami DMA, kdy může procesor pracovat, jsou pracovní hodnoty adresy a počtu přenášených slov uloženy v registru běžné adresy a registru běžného počtu přenášených slov. Autoinicializaci může provést pouze signál EOP*. Signál EOP* je generován buďto signálem TC nebo externě.
- kaskádní režim - v tomto režimu spolu může spolupracovat více obvodů 8237A-5. Signály HRQ a HLDA z přídavného obvodu 8237A-5 se připojí na signály DREQ a DACK jednoho z kanálů původního obvodu 8237A-5. Toto umožňuje šířit žádosti o DMA z přídavného zařízení přes obvody priority předchozího zařízení. Prioritní řetězec zůstane zachován a přídavné zařízení musí počkat, až se vyskytne jeho potvrzení žádosti. Jelikož kaskádní kanál původního obvodu 8237A-5 se používá pouze pro priority přídavného zařízení, neprodukuje samo adresu ani řídicí signály. Toto může způsobit konflikt s výstupy aktivního kanálu přídavného zařízení. Původní zařízení bude odpovídat na signály DREQ a DACK, ale všechny ostatní výstupy kromě HRQ budou zakázány.

4.5.3. Typy přenosů.

Každý ze tří popsaných aktivních přenosových způsobů může provádět tři různé typy přenosů. Je to čtení, zápis a verifikace. Při zápisu se přenáší data z V/V zařízení do paměti aktivováním signálů MEMW* a IOR*. Při čtení se přenáší data z paměti do V/V zařízení aktivováním signálů MEMR* a IOW*. Verifikace je pseudopřenos. Obvod 8237A-5 pracuje jako v přenosech čtení nebo zápis (generuje adresy, reaguje na EOP*), ale paměťové a V/V linky zůstávají neaktivní. Verifikaci nelze provádět v režimu přenosu z paměti do paměti.

- přenos z paměti do paměti - obvod 8237A-5 je schopen přenášet data z jedné paměťové oblasti do druhé s minimálními požadavky na procesor. Naprogramováním jednoho bitu v příkazovém registru se zvolí kanály 0 a 1 k přenosu z paměti do paměti. Přenos se zahájí programovým nastavením signálu DREQ pro kanál 0. Zařízení potom požádá o DMA servis normálním způsobem. Jakmile je HLDA aktivní, zařízení přenáší data z paměti do paměti použitím osmistavového přenosu v režimu

blokového přenosu. Registr běžné adresy kanálu 0 je zdrojovým registrem adresy a je dekrementován nebo inkrementován normálním způsobem. Datový byte, přečtený z paměti je uložen v obvodu 8237A-5 v takzvaném vnitřním dočasném registru. Kanál jedna potom zapíše data do paměti použitím adresy, uložené v registru běžné adresy v kanálu 1, a potom adresu inkrementuje nebo dekrementuje normálním způsobem. Rovněž se dekrementuje registr počtu přenášených slov v kanálu 1. Jakmile počet slov kanálu jedna přejde z nuly na FFFFH, je generován signál TC, který způsobí výstup na EOP* a přenos je ukončen. Kanál 0 může být naprogramován tak, aby zachoval stejnou adresu pro všechny přenosy. To umožňuje zapsat stejnou hodnotu do celého bloku paměti. Při přenosu z paměti do paměti rovněž obvod 82437A-5 reaguje na vnější signál EOP*. Toho využívají například hardwareové datové komparátory k ukončení prohledávání bloků při nalezení hledané hodnoty.

- autoinicializace - naprogramováním jednoho bitu v registru režimu lze kterýkoliv kanál nastavit jako autoinicializační kanál. Během autoinicializace se signálem EOP* nahrají do registru běžné adresy a registru běžného počtu přenášených slov automaticky hodnoty z bazového registru adresy a bazového registru počtu přenášených slov. Bazové registry se nahrávají současně s běžnými registry procesorem a zůstávají nezměněny po celou dobu přenosu DMA. Je-li kanál v autoinicializaci, maskovací bit kanálu se nenastavuje. Po provedení autoinicializace je kanál opět schopen provádět další obsluhu DMA bez jakékoliv intervence procesoru, jakmile je detekován další signál DREQ.
- priority - obvod 8237A-5 má dva typy priority, které je možno programově zvolit. První z nich je takzvaná pevná priorita, která stanoví prioritu kanálů sestupně podle jejich čísel. Takže kanál s nejnižší prioritou je kanál číslo 3, následuje kanál 2, 1 a nejvyšší prioritu má kanál 0. Jakmile je jednomu kanálu přiznána možnost přenášet data režimem DMA, ostatním kanálům je zabráněno přerušovat jeho přenos dokud není dokončen. Druhý způsob je rotační priorita. Kanál, který naposledy prováděl přenos DMA, má nejnižší prioritu a ostatní kanály rovněž v pořadí, v jakém naposled prováděly přenos DMA. Je-li v systému jediný obvod 8237A-5, tak s rotační prioritou může být každý kanál obsloužen nejpozději po třech jiných přenosech. Tím se zabrání tomu, aby některý přetížený kanál získal naprostý monopol nad systémem.
- zhuštěné časování - aby bylo dosaženo co největší průchodnosti systému, může za určitých podmínek obvod 8237A-5 zhušťovat přenosový čas do dvou hodinových cyklů. K rozšíření přístupové doby čtecího pulsu je normálně použit stav S3. Vyloučením stavu S3 bude šířka čtecího pulsu stejná jako šířka zápisového pulsu. Přenos se pak skládá pouze ze stavu

S2, který slouží ke změně adresy a stavu S4 k vykonání čtení a zápisu. Je-li potřeba měnit adresy A8-A15 (viz adresní podmínky), vyskytne se ještě stav S1.

- generování adres - aby bylo možno redukovat počet vývodů obvodu 8237A-5, je nutné multiplexovat horních osm adresních bitů na datovou sběrnici. Stav S1 se používá k předání horních osmi adresních bitů do vnější vyrovnávací paměti, ze které je možné je předávat na sběrnici. Spádová hrana signálu ADSTB se používá k nahrání těchto bitů z datových linek do vyrovnávací paměti. Signál AEN se používá k uvolnění těchto bitů na adresní sběrnici. Dolních osm bitů adresy vydává obvod 8237A-5 přímo. Signály A0-A7 musí být tedy připojeny přímo na adresní sběrnici. U blokových přenosů, které zahrnují vícenásobné přenosy, je generování adres sekvenční. Pro řadu přenosů jsou adresní bity uchovány ve vnější vyrovnávací paměti konstantní. Ke změně této části adresy dochází jen při přenosu z bitu A7 do A8 při inkrementování hodnoty adresy. Aby se při přenosu ušetřil čas, vykonává obvod 8237A-5 stav S1 jen tehdy, kdy je potřeba měnit obsah horní části adresy (A8-A15) ve vnější vyrovnávací paměti. To znamená, že u dlouhých přenosů se stav S1 vyskytne vždy jen po přenosu 256 bytů a tím se pro 256 přenosů ušetří 255 hodinových cyklů.

4.6. Programování řadiče DMA.

Obvod 8237A-5 akceptuje programování z procesoru vždy, když je signál HLDA neaktivní. To je splněno i tehdy, když je signál HRQ aktivní. Program musí zajistit, aby se programování obvodu 8237A-5 a aktivní signál HLDA nevyskytly současně. Tento problém se může vyskytnout tehdy, když se vyskytne žádost o DMA na nezamaskovaném kanálu ve chvíli, kdy je obvod programován. Je možno tomu zabránit zákazem řadiče (bit 2 v příkazovém registru), nebo zamaskováním kanálu před zahájením programování registrů. Při inicializaci obvodu 8237A-5 se doporučuje nahrát všechny vnitřní registry (i když jim odpovídající kanály nejsou použity) na nějakou definovanou hodnotu. To se týká zejména maskovacího registru.

4.7. Popis registrů řadiče DMA.

Řadič DMA 8237A-5 má pro uvedenou činnost celkem 27 vnitřních registrů. Jsou to tyto registry:

Název	délka	počet
Bázový registr adresy	16 bit	4
Bázový registr počtu byte	16 bit	4
registr běžné (práve platné) adresy	16 bit	4
registr běžného (práve platného) počtu byte	16 bit	4
dočasný registr adresy	16 bit	1
dočasný registr počtu byte	16 bit	1
stavový registr	8 bit	1
registr příkazu (Command registr)	8 bit	1
pomocný registr	8 bit	1
registr módu	6 bit	4
registr masky	4 bit	1
registr požadavků	4 bit	1

4.7.1. Registr běžné adresy.

Každý kanál má 16-bitový registr běžné adresy. V tomto registru je uchovaná hodnota adresy, na které právě probíhá přenos DMA. Adresa je po každém přenosu automaticky dekrementována nebo inkrementována a bezprostřední hodnota je během přenosu uložena v registru běžné adresy. Do tohoto registru je možno zapisovat nebo z něj číst nadvakrát po dvou osmibitových bytech. Může být rovněž inicializován při takzvané autoinicializaci (viz následující podkapitola) zpět na svou původní, procesorem nahranou hodnotu. Autoinicializace může nastat pouze jako následek signálu EOP*.

4.7.2. Registr běžného počtu slov.

Každý kanál má 16-bitový registr běžného počtu slov. Tento registr určuje počet přenosů, které se mají ještě uskutečnit. Skutečný počet přenosů bude o 1 větší než počet, který byl do tohoto registru naprogramován. Obsah registru se po každém přenosu dekrementuje. Jakmile se změní obsah registru z 0 na FFFFH, generuje se signál TC. Tento registr může být z procesoru nahráván nebo čten po dvou osmibitových bytech. Po skončení přenosu může být rovněž nahrán zpět na svou původní hodnotu autoinicializací. Autoinicializace může nastat pouze jako následek signálu EOP*. Neproběhne-li autoinicializace, bude mít registr po skončení přenosu hodnotu FFFFH.

4.7.3. Bázové registry adresy a běžného počtu slov.

Každý kanál vlastní dva 16-bitové registry nazvané bázový registr adresy a bázový registr počtu slov. Tyto registry uchovávají počáteční hodnoty pro, s nimi sdružené, registry běžného počtu slov a běžné adresy. Při autoinicializaci jsou hodnoty uchované v bázových registrech použity pro obnovení obsahu registru běžné adresy a běžného počtu slov. Bázové registry jsou obnovovány procesorem současně s jim odpovídajícími běžnými registry. Obsahy těchto registrů nelze číst z mikroprocesoru.

4.7.4. Příkazový registr.

Tento osmibitový registr řídí činnost obvodu 8237A-5. Programuje se procesorem a může být vynulován při resetu nebo instrukcí Master Clear. Následující tabulka ukazuje obsah jednotlivých bitů registru:

7	6	5	4	3	2	1	0	- číslo bitu
1	1	1	1	1	1	1	1	
								1-uvolnění/ 0-zákaz z paměti do paměti
								1-uvolnění/ 0-zákaz držení adresy kan. 0
								uvolnění/ zákaz řadiče
								0-normální/ 1-zhuštěné časování
								0-pevná/ 1-rotační priorita
								0-zpožděný/ 1-rozšířený zápis
								0-DREQ aktivní v 1/ 1-DREQ aktivní v 0
								0-DACK aktivní v 1/ 1-DACK aktivní v 0

4.7.5. Registr módu.

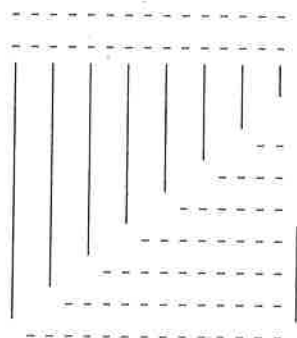
Každý kanál má přidělen 6-bitový registr režimu. Při zápisu do tohoto registru určují bity 0 a 1, kterému kanálu se bude nastavovat režim. Následující tabulka ukazuje obsah jednotlivých bitů registru:

7	6	5	4	3	2	1	0	- číslo bitu
1	1	1	1	1	1	1	1	
								Volba kanálu: 00-kanál 0 10-kanál 2
								01-kanál 1 11-kanál 3
								Typ přenosu: 00-verifikace 10-čtení
								01-zápis 11-zakázáno
								Autoinicializace: 0-zakázaná/ 1-povolená
								0-inkrementace / 1-dekrementace adresy
								Režim přenosu: 00-vyžádaný 10-blokový
								01-jednorázový 11-kaskádní

4.7.6. Registr žádostí.

Obvod může odpovídat na žádosti o obsluhu DMA, které pocházejí buď od programu nebo od signálu DREQ. Každý kanál má ve 4-bitovém registru žádostí přidělený bit. Bity jsou nemaskovatelné a podléhají prioritám dekodéru priorit. Každý bit může být odděleně programově nastavován nebo nulován. Může být také nulován při generování signálu TC nebo externím signálem EOP*. Celý registr je nulován při resetu. Obsah bitů registru žádostí:

7 6 5 4 3 2 1 0 - číslo bitu



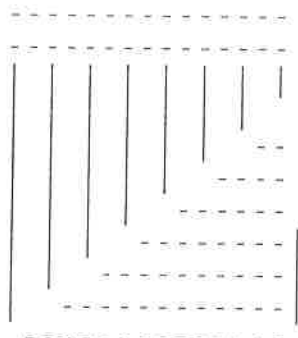
Volba kanálu: 00-kanál 0 10-kanál 2
 01-kanál 1 11-kanál 3
 0-nulování/ 1-nastavení bitu žádosti

nevýznamné bity

4.7.7. Registr masky.

Každý kanál má přidělený jeden bit masky, který se nastavuje proto, aby bylo možné ignorovat vstupující signál DREQ. Každý maskovací bit je nastaven tehdy, když jemu přidělený kanál produkuje EOP* a není nastaven v režimu autoinicializace. Každý bit 4-bitového registru masky může samostatně programově nastavován nebo nulován. Celý registr je nastaven do jedniček při resetu. Tím se zakazují všechny žádosti o DMA, dokud je neuvolní instrukce nulování maskovacího registru.

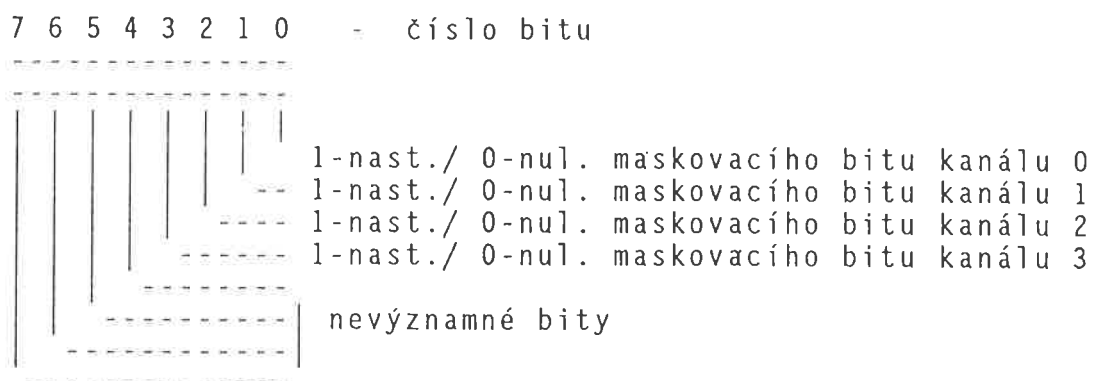
7 6 5 4 3 2 1 0 - číslo bitu



Volba kanálu: 00-kanál 0 10-kanál 2
 01-kanál 1 11-kanál 3
 0-nulování/ 1-nastavení maskovacího bitu

nevýznamné bity

Všechny čtyři bity registru masky je možné nahrát jedním příkazem:



4.7.8. Stavový registr.

Stavový registr obsahuje informace o okamžitém stavu zařízení. Tyto informace zahrnují, který kanál dospěl k vyslání signálu TC a na kterém kanálu je požadavek na přenos DMA. Bity 0-3 se nastavují do 1 vždy, když příslušný kanál generuje signál TC nebo akceptoval externí signál EOP*. Tyto bity se nulují po resetu nebo po příkazem čtení stavu. Bity 4-7 se nastavují do 1, když jim odpovídající kanál má žádost o DMA.



4.7.9. Přechodný registr.

Přechodný registr uchovává data při přenosu z paměti do paměti. Po skončení přenosu je v tomto registru poslední byte, který se přenášel. V podmínce programování jej může odtud procesor číst. Obsah registru se nuluje při resetu.

4.7.10. Programové příkazy.

Jsou to speciální příkazy, které je možné vykonávat v podmínce programování. Jsou to:

- nulování klopného obvodu "první/poslední" - tento příkaz se vykonává před prvním zápisem nebo čtením registrů obvodu 8237A-5. Tím se inicializuje uvedený klopný obvod do definovaného stavu aby přístup k registrům zařízení probíhal ve správném pořadí: horní byte, dolní byte.

- Master Clear - tato programová instrukce má stejný účinek jako reset. Nulují se registry: příkazový, stavový, žádostí, dočasný a vnitřní klopný obvod "první/poslední" a maskovací registr je nastaven na samé 1. Obvod 8237A-5 přejde do stavu nečinnosti.

- nulování nastavovacího registru - tento příkaz nuluje maskovací bity pro všechny čtyři kanály, čímž povoluje akceptování žádostí o DMA přenos.

Přístup k jednotlivým registrům je zřejmý z následujících tabulek.

Tabulka adresování programových příkazů

Signály						Operace
A3	A2	A1	A0	IOR*	IOW*	
1	0	0	0	0	1	Čtení stav. registru
1	0	0	0	1	0	Zápis do příkaz. reg.
1	0	0	1	0	1	Nepřípustné
1	0	0	1	1	0	Zápis do reg. žádostí
1	0	1	0	0	1	Nepřípustné
1	0	1	0	1	0	Zápis jednoho bitu registru masky
1	0	1	1	0	1	Nepřípustné
1	0	1	1	1	0	Zápis do registru módu
1	1	0	0	0	1	Nepřípustné
1	1	0	0	1	0	Nulování interního klopného obvodu
1	1	0	1	0	1	Čtení dočasného reg.
1	1	0	1	1	0	Celkové nulování
1	1	1	0	0	1	Nepřípustné
1	1	1	0	1	0	Nulování reg. masky
1	1	1	1	0	1	Nepřípustné
1	1	1	1	1	0	Zápis všech bitů registru masky

Tabulka řízení registrů počtu slov a adresování

Číslo kanálu		Interní klopný obvod								Data	
	registr	CS*	IOR*	IOW*	A3	A2	A1	A0		DB0-DB7	
0	Základní a běžná adr.	0	1	0	0	0	0	0	0	A0 - A7	
		0	1	0	0	0	0	0	1	A8 - A15	
	Běžná adr.	0	0	1	0	0	0	0	0	A0 - A7	
		0	0	1	0	0	0	0	1	A8 - A15	
	Celkový a nepřenesený počet slov	0	1	0	0	0	0	1	0	W0 - W7	
		0	1	0	0	0	0	1	1	W8 - W15	
	Nepřenesený počet slov	0	0	1	0	0	0	1	0	W0 - W7	
		0	0	1	0	0	0	1	1	W8 - W15	
1	Základní a běžná adr.	0	1	0	0	0	1	0	0	A0 - A7	
		0	1	0	0	0	1	0	1	A8 - A15	
	Běžná adr.	0	0	1	0	0	1	0	0	A0 - A7	
		0	0	1	0	0	1	0	1	A8 - A15	
	Celkový a nepřenesený počet slov	0	1	0	0	0	1	1	0	W0 - W7	
		0	1	0	0	0	1	1	1	W8 - W15	
	Nepřenesený počet slov	0	0	1	0	0	1	1	0	W0 - W7	
		0	0	1	0	0	1	1	1	W8 - W15	
2	Základní a běžná adr.	0	1	0	0	1	0	0	0	A0 - A7	
		0	1	0	0	1	0	0	1	A8 - A15	
	Běžná adr.	0	0	1	0	1	0	0	0	A0 - A7	
		0	0	1	0	1	0	0	1	A8 - A15	
	Celkový a nepřenesený počet slov	0	1	0	0	1	0	1	0	W0 - W7	
		0	1	0	0	1	0	1	1	W8 - W15	
	Nepřenesený počet slov	0	0	1	0	1	0	1	0	W0 - W7	
		0	0	1	0	1	0	1	1	W8 - W15	

Číslo kanálu		Interní klopný obvod								Data
	registr	CS*	IOR*	IOW*	A3	A2	A1	A0		DB0-DB7
3	Základní a běžná adr.	0	1	0	0	1	1	0	0	A0 - A7
		0	1	0	0	1	1	0	1	A8 - A15
	Běžná adr.	0	0	1	0	1	1	0	0	A0 - A7
		0	0	1	0	1	1	0	1	A8 - A15
	Celkový a nepřenesený počet slov	0	1	0	0	1	1	1	0	W0 - W7
		0	1	0	0	1	1	1	1	W8 - W15
	Nepřenesený počet slov	0	0	1	0	1	1	1	0	W0 - W7
		0	0	1	0	1	1	1	1	W8 - W15

4.8. Připojení řadiče DMA

Uprostřed listu 1 (schema desky DMA) je obvod 8237A-5. Při normální činnosti, kdy se s registry obvodu 8237A-5 pracuje jako s porty, je zesilovač adres A0 až A7, obvod LS245 I024, otevřen směrem k obvodu řadiče. Směr je řízen signálem AEN*. Adresy procházejí jednak do obvodu 8237A-5, který potřebuje adresy A0 až A3 pro adresaci registrů, a jednak do adresového dekodéru S571 I025. Adresový dekodér dekoduje nejen adresy obvodů řadiče pružného disku a tiskárny, ale pro účely řízení otevírání datového zesilovače LS245 i součtový signál adres obvodů 8237A-5 a LS670. Samotné výběrové signály pro obvody DMA 8237A-5 a LS670 přicházejí však již z dekodéru na základní desce WS-16 přes konektor sběrnice v pozici X1.

Datové signály D0 až D7 jsou také zesíleny zesilovačem LS245 I030 a po zesílení jsou na desce k dispozici jako BD0 až BD7 všem obvodům, které data potřebují. Po vnitřní datové sběrnici vydává v počátku každého DMA přenosu obvod 8237A-5 horních osm bitů adresy paměti A8 až A15. Tato adresa se zapíše do registru LS373 I026 pomocí signálu ASTB vydaného řadičem DMA I022/8. Výstup třístavového registru LS373 je pak povolován signálem AEN*, takže se na sběrnici objeví A8 až A15 z tohoto registru, jen při DMA přenosu.

Pod obvodem řadiče DMA je obvod LS670 I028, který obsahuje čtyři čtyřbitové registry s třístavovým výstupem. Do těchto registrů se zapisují data D0 až D3, a to při signálu CS670* a IOW*. Součin těchto signálů vyrábí hradlo ALS32 I035/11 a jeho výstup je připojen na vstup GW* obvodu LS670. Obsah jednoho ze čtyř registrů tohoto obvodu se při DMA objeví na nejvyšších bitech adres A16 až A19. Tímto způsobem je rozšířeno omezené adresování paměti obvodu 8237A-5 z 16 bitů na 20 bitů. Před vstupem na sběrnici jsou ještě adresy A16 až A19 zesíleny zesilovačem LS245 I027.

Adresami A0 a A1 připojenými na adresovací vstupy WA a WB obvodu LS670 je přesné určeno, do kterého ze čtyř registrů obvodu LS670 se bude zapisovat. Při čtení obsahu registrů probíhá však výběr registrů trochu jinak. Vstupy RA a RB (adresující, z kterého ze čtyř vnitřních registrů se bude číst) jsou spojeny se signály DAK3* a DAK2* obvodu 8237A-5. Přiřazení jednotlivých kanálů a registrů je pak následující:

č.kanálu	č.registru	adresa portu pro zápis
kanál 0	není	není
kanál 1	3	83 HEX
kanál 2	1	81 HEX
kanál 3	2	82 HEX

Stejný zesilovač, který zesiluje nejvyšší čtyři bity adresy, zesiluje také obousměrně signály IOR*, IOW* a signály MR* a MW*. Směr průchodu těchto signálů je dán opět signálem AEN*. Obousměrnost zesilovače je významná pouze u signálů IOR* a IOW*. U signálů MR*, MW*, A16 až A19 je nahrazuje otočení směru přenosu zesilovače odpojení těchto signálů od sběrnice není-li DMA. Jedničku na signálech IOR*, IOW*, MR* a MW* zajišťují odpory R20, R21, R28 a R29.

Signály DRQn (žádosti o DMA) jsou při vstupu do desky zesíleny zesilovačem LS244 IO23B. Po zesílení jsou vedeny přímo do obvodu 8237A-5. Signály potvrzení, DAK0* až DAK3*, jsou při výstupu z desky na sběrnici zesíleny druhou plovinou zesilovače LS244 IO23A. Na sběrnici se potvrzovací signály nazývají DACK0* až DACK3*.

Signál EOP* z výstupu obvodu 8237A-5 je ošetřen odporem R19, připojeným na +5V, a potom invertován hradlem ALS04 IO16/12 a veden na sběrnici jako signál TC (ukončení DMA přenosu).

Signál HRQ* (žádost o DMA pro procesor) z obvodu 8237A-5 je invertován hradlem ALS04 IO19/10 a veden na desku WS-16 jako signál HOLD*.

Signál READY pro obvod 8237A-5 je generován na desce DMA pomocí klopného obvodu LS74 IO17/9. Hradlo ALS00 IO20/3 zajišťuje, aby při použití kanálu č.0, který je vyhrazen pro refreš, nebyl vkládán žádný čekací stav. Pro ostatní kanály je jednak akceptováno příslušné RDY se sběrnice, přivedením invertovaného signálu RDY* z hradla IO16/8 na D vstup klopného obvodu LS74, a jednak je přidán jeden čekací stav do každého cyklu DMA přenosu. Obvod pracuje takto: V normálním stavu je MW* a IOW* na jedničce a výstup hradla ALS00 IO20/6 je tedy v nule. Nulou na vstupu S* se klopný obvod LS74 IO17/9 nastaví do jedničky a na vstupu READY obvodu 8237A-5 je nula. Teprve po příchodu signálů IOW* nebo MW* přestane být klopný obvod nastavován do jedničky a nastaví se podle stavu vstupu D. Není-li žádost o čekání ze sběrnice, nastaví se klopný obvod LS74 do nuly a signál READY pro 8237A-5 přejde do jedničky. Tato činnost zajišťuje vložení jednoho čekacího stavu do cyklu DMA.

Podívejme se ještě jak jsou generovány hodiny pro obvod 8237A-5. Zpoždovací obvod z hradel I018/11 a I020/8, společně s odporem R18 a vstupní kapacitou hradla ALS00 upravuje hrany hodin CLK se sběrnice pro obvod 8237A-5.

4.9. Signál AEN.

Nejdůležitějším signálem obvodů DMA je signál AEN, přicházející ze sběrnice (nezaměňovat se signálem AEN obvodu 8237). Tento signál je oddělen hradlem LS125 I037 a invertován hradlem LS04 I019/12. Tak vznikne negativní signál AEN*. Signál AEN je vytvořen od signálu HLDA procesoru a pro obvod 8237A-5 má funkci potvrzení předání řízení sběrnice od procesoru. Dále má signál AEN* ještě tyto funkce:

- blokuje činnost adresového dekodéru S571 I025
- obrací směr adresového zesilovače LS245 I024
- otevírá výstupy zesilovače a registru LS373 I026
- obrací směr přenosu zesilovače LS245 I027
- otevírá výstupy třístavového čtyřnásobného registru stránky paměti při DMA (obvodu LS670 I028).

Tím jsme si popsali část desky DMA, která zajišťuje přímý přístup do paměti. Nyní se můžeme věnovat dalším obvodům na desce. Jsou to obvody tiskárny a řadiče pružných disků. Na popísaném listu schema je pro tiskárnu a pružnýdisk pouze dekodér adresy a obvod řízení směru otevření datového zesilovače LS245.

4.10. Dekodér adres

Dekodér adresy, paměť PROM S571 I025, dekóduje adresy A2 až A9. U počítačů typu IBM PC XT jsou vyhrazeny pro řadič pružných disků, nazývaný FDC (Floppy Disk Controller) a pro tiskárnu tyto adresy :

registr	adresa
FDC datový registr	3F5 HEX
FDC stavový registr	3F4 HEX
pomocný registr řízení disků	3F2 HEX
tiskárna LPT1	378 až 37A HEX

Do dekodéru adresy vstupují tedy adresy A2 až A9 a celý dekodér je povolován jen tehdy, není-li DMA (tj. není-li AEN v jedničce). Výstupní signály z paměti PROM pak mají tento význam:

výstup	název	funkce
I025/12	CS72*	výběr FDC, řadiče 8272 (3F4 a 3F5 HEX)
I025/11	BSEL*	výběr čehokoliv na desce, tento signál řídí otevírání zesilovače dat
I025/10	REG*	výběr registru řízení disků (3F2 HEX)
I025/9	TISK*	výběr tiskárny (378 až 37A HEX)

Vpravo nahoře je obvod LS155, který dekoduje jednotlivé adresy tiskárny v rozsahu 378 až 37A. Proto do toho dekodéru vstupují jako A a B adresy A0 a A1 se sběrnice. Jedna polovina dekodéru je povolována signálem IOR* (čtením z portu) a druhá polovina signálem IOW (zápisem do portu). Pozitivní signál IOW je vyroben inverzí IOW* hradlem ALS04 I019/2. Jednotlivé výstupy dekodéru LS155 I01029 mají tedy tento význam:

výstup	název	adresa	funkce
I029/7	WPA*	378	zápis dat pro tisk
I029/5	WPC*	37A	zápis do registru řízení
I029/9	RPA*	378	zpětné čtení dat
I029/10	RPB*	379	čtení stavu tiskárny
I029/11	RPC*	37A	zpětné čtení řízení

Vpravo dole na schematu je obvod, který otevírá datový zesilovač LS245 I030. Datový zesilovač je otevřen nulou na výstupu hradla ALS32 I035/8 když je signál DCF* (potvrzení DMA kanálu při práci s pružným diskem) nebo BSEL* v nule a současně je aktivní IOW*, nebo IOR*.

5. Popis 152-00551-4 / list 2 - řadič pružných disků.

Pružný disk je základním přídatným zařízením všech osobních mikropočítačů. U mikropočítačů typu IBM PC XT je použit pružný disk pracující s disketami o rozměru 5.25" (pět a čtvrt palce). Disketa je pamětové medium otáčející se uvnitř ochranné papírové obálky. Pamětové medium je tenké kolečko z Mylaru, na kterém je oboustranně nanesena magnetická vrstva. V papírové obálce diskety jsou tři výřezy: Jeden pro hlavičky, druhý pro indexový otvor (jeden na otáčku) a třetí pro upnutí středu diskety k náhonovému motoru v mechanice. Disketa se po vložení do mechaniky, počne otáčet a přiložená hlavička snímá a nebo zaznamenává informace. Záznam informací je uspořádán ve 40 soustředných stopách (Track) na každé straně, přičemž v každé stopě je záznam členěn do sektorů po 512 byte. U počítačů IBM PC XT se používá 9 sektorů na jednu otáčku. Disketa má kapacitu 360 kByte. Záznam je oboustranný, to znamená, že hlavičky jsou

dvě, jedna zespodu diskety a druhá zeshora. Kapacita diskety je tedy násobkem počtu stran (2), počtu stop (40), počtu sektorů (9) a počtu byte v sektoru (512). Lze však zpracovávat i diskety s osmi sektory na stopu (používané u prvních typů počítačů IBM PC) nebo diskety jednostraně nahrávané s osmi a devíti sektory na stopu. Záznam je proveden tak zvanou dvojitou hustotou - metodou MFM.

Na tomto listu schematu je řadič pružných disků s integrovaným obvodem 8272A. Tento obvod v sobě sice zahrnuje velkou část celého řadiče, ale jak je vidět, stále je ještě třeba mnoha dalších obvodů pro splnění všech funkcí řadiče pružných disků.

5.1. Konektor pružného disku

Pro vysvětlení funkcí mechaniky pružného disku si nejprve vyjmenujeme signály rozhraní (interface) mezi řadičem a mechanikou pružného disku u počítačů IBM PC. Rozhraní je definováno na 34 pólovém konektoru, na kterém liché kontakty jsou spojeny se zemí:

číslo	signál	funkce
2	-	nepoužit
4	-	nepoužit
6	-	nepoužit
8	IND*	Index, neboli impulz přicházející z disku jedno u za otáčku.
10	MO*	Motor On, signál pro zapnutí motoru mechaniky číslo 0.
12	SEL1*	Signál výběru mechaniky číslo 1
14	SEL0*	Signál výběru mechaniky číslo 0
16	M1*	Motor on, signál pro zapnutí motoru mechaniky číslo 1
18	DIR*	Signál určující směr pohybu krokového motorku pohybujícího hlavou po stopách
20	STEP*	Signál pro provedení kroku motorku, neboli kroku z jedné stopy na druhou
22	WD*	Seriová data zapisovaná na disk
24	WE*	Signál povolení zápisu
26	TOO*	Signál oznamující, že hlavy se nacházejí na nulté stopě
28	WP*	Signál oznamující, že disketa má zalepen výřez určený pro ochranu proti zápisu
30	RD*	Seriová čtená data z disku
32	SH*	Výběr horní a nebo spodní hlavy
34	-	nepoužito

~~Toto~~ rozhraní se poněkud liší od současně používaného rozhraní na mechanice pružného disku. Je to zejména dáno použitím signálů M0* a M1* pro řízení motoru jednotky. Tyto dva signály umožňují řídit motory jednotek nezávisle, ale u pružných disků je tento signál nerozlišen. Proto se musí pro přivedení signálu Mx* provést úprava (křížení) kabelu. Tím dochází i k záměně polohy signálů SEL0* a SEL1*. Jednotky pružného disku musí být vnitřními propojkami nastaveny jako jednotka B a vlastní výběr zajišťuje provedení kabelu a signály M0*, SEL0* a M1*, SEL1*.

5.2. Popis obvodu 8272A

Obvod 8272A je programovatelný řadič pružných disků s možností obsluhy až čtyř jednotek a spolupráce s přenosem DMA. Obvod je v pouzdře se 40 vývody a má jednoduché napájení +5V. V dalším textu je používána zkratka FDD (Floppy Disk Drive), což znamená mechaniku pružného disku.

5.2.1. Popis vývodů obvodu 8272A

Název	č. vývodu	popis
RST	1	Reset - uvede FDC do poč. stavu
RD*	2	Read-sběrníkový signál čtení
WR*	3	Write-sběrníkový signál zápisu
CS*	4	Chip Select-výběr obvodu
A0	5	adresní bit pro výběr registrů
DB0-DB7	6-13	datová sběrnice
DRQ	14	Žádost o přenos DMA (pro 8237A)
DACK*	15	Potvrzení obsluhy DMA
TC	16	Indikace ukončení přenosu DMA
IDX	17	Index - indikuje začátek stopy
INT	18	Žádost o přerušení
CLK	19	Hodinový vstup 8 MHz
GND	20	Zem
Vcc	40	+5V
RW*/SEEK	39	režim čtení-zápis nebo seek
LCT/DIR	38	určuje nízký proud na vnitřních stopách v RW modu ,určuje směr krokování hlavy v režimu seek
FR/STP	37	nulování chyby z FDD v režimu RW, krokovací puls pro hlavu v režimu seek
HDL	36	přiklopení hlavy-Head Load
RDY	35	Ready
WP/TS	34	ochrana proti zápisu v modu RW, dvoustranné medium v modu seek
FLT/TRK0	33	porucha FDD v režimu RW, stopa 0 v režimu seek
PS1,PS0	31,32	řízení prekompenz. v režimu MFM
WR DATA	30	zápis dat-sériové hodiny a datové bity do FDD
DS1,DS0	28,29	výběr diskových jednotek
HDSEL	27	výběr hlavy 0 a 1
MFM	26	režim MFM nebo FM
WE	25	povolení zápisu dat do FDD
VCO	24	povolení nebo zákaz VCO
RD DATA	23	čtení dat z FDD
DW	22	datové okénko k vzorkování dat
WR/CLK	21	hodinový vstup pro řízení zápisu

5.2.2. Registry obvodu 8272A-interface k procesoru

Obvod 8272A obsahuje dva registry přístupné na sběrnici procesoru - hlavní stavový registr a datový registr. Osmibitový hlavní stavový registr obsahuje informaci o stavu FDC a je kdykoliv přístupný. Osmibitový datový registr se ve skutečnosti skládá z několika registrů v zásobníku, přístupných na sběrnici postupně v určitém pořadí. Tyto registry uchovávají data, příkazy a jejich parametry a stavové informace z FDD. Datový registr je přístupný pro čtení i pro zápis, zatímco hlavní stavový registr lze pouze číst. Vztah mezi registry a sběrnicovými signály ukazuje následující tabulka.

A0	RD*	WR*	funkce
0	0	1	čtení hl. stavového registru
0	1	0	nepovolená kombinace
0	0	0	nepovolená kombinace
1	0	0	nepovolená kombinace
1	0	1	čtení dat. registru
1	1	0	zápis do dat. reg.

Další tabulka definuje obsah hlavního stavového registru.

Číslo bitu	Název	Symbol	Popis
DB0	FDD 0 Busy	DOB	FDD 0 je v režimu seek
DB1	FDD 1 Busy	D1B	FDD 1 je v režimu seek
DB2	FDD 2 Busy	D2B	FDD 2 je v režimu seek
DB3	FDD 3 Busy	D3B	FDD 3 je v režimu seek
DB4	FDC Busy	CB	Probíhá čtení nebo zápis
DB5	Není DMA režim	NDM	Přenos neprobíhá v režimu DMA
DB6	vstup/výstup dat	DIO	Indikuje směr přenosu dat mezi FDC a dat. reg.
DB7	Request for Master	RQM	Připravenost datového registru přijímat nebo předávat data

Obvod 8272A je schopen vykonávat 15 různých příkazů. Každý příkaz začíná přenosem několika bytů z procesoru a končí přenosem několika bytů výsledku do procesoru. Z těchto důvodů se každý příkaz logicky rozděluje do tří fází:

- fáze příkazu - převzetí příkazu a jeho parametrů z procesoru
- fáze vykonání příkazu - provedení operace
- fáze výsledku - procesor přebírá zprávu o výsledku

Během fáze příkazu a výsledku musí procesor při každé výměně bytu s FDC číst hlavní stavový registr a zjišťovat obsazenost FDC. Dříve, než se zapíše do obvodu 8272A příkazový byte, musí být bity D6 a D7 v hlavním stavovém registru rovny 0 a 1. Mnoho příkazů vyžaduje více parametrů a před každým zápisem bytu do obvodu 8272A se musí číst hlavní stavový registr. Ve fázi výsledku musí být naopak před každým čtením bytu z datového registru nastaveny bity D6 a D7 v hlavním stavovém registru na 1 a 1. V prostřední fázi se hlavní stavový registr číst nemusí. Nepracuje-li zařízení v režimu DMA, je přenos každého bytu dat indikován signálem INT=1 (vývod 18). Aktivní úroveň signálu RD* a přenos dat na sběrnici nuluje signál INT. Nemůže-li procesor zpracovávat interrupt dostatečně často (každých 13 mikrosekund pro režim MFM), je možné si zvolit pro přerušování bit RQM v hlavním stavovém registru. V režimu DMA se během fáze vykonávání příkazu žádné přerušování negeneruje. Naopak se pro každý přenášený byte dat generuje signál DRQ a na něj spolupracující řadič DMA odpovídá signály DACK* a RD* nebo WR*. Přechodem signálu DACK* do 0 se nuluje signál DRQ. Po skončení této fáze se generuje přerušování. Tím je zahájena fáze výsledku. Přechtením prvního bytu dat ve fázi výsledku se automaticky nuluje signál INT. Během fáze výsledku se musí přečíst všechny byty uvedené v tabulce příkazů (viz dále). Zařízení neakceptuje další příkaz, dokud se všechny předepsané byty nepřečtou.

Obvod 8272A obsahuje 5 stavových registrů. Hlavní stavový registr lze číst kdykoliv. Ostatní stavové registry (ST0-ST3) jsou dostupné jen ve fázi výsledku a mohou se číst jen při úspěšném ukončení příkazu. Data, která se přenášejí do zařízení ve fázi příkazu, a která se čtou ze zařízení ve fázi výsledku, se musejí přenášet v předepsaném pořadí. Nejdříve se přenáší kód příkazu a pak další parametry. Po vyslání posledního bytu dat ve fázi příkazu se operace automaticky spustí. Podobně se automaticky ukončí celý příkaz po přečtení posledního bytu ve fázi výsledku a zařízení připraveno přijímat další příkazy. Příkaz lze násilím ukončit vysláním signálu TC. Toto je vhodný způsob zajištění intervence procesoru, když diskový systém "visí" v ne-normálním stavu.

5.2.3. Soubor příkazů obvodu 8272A

Čtení dat:

fáze	R/W	datová sběrnice								poznámky	
		D7	D6	D5	D4	D3	D2	D1	D0		
příkaz	W	MT	MFM	SK	0	0	1	1	0	kód příkazu	
	W	0	0	0	0	0	HDS	DS1	DS0		
	W	-----				C	-----				informace o ID sektoru před vykoná- ním příkazu
	W	-----				H	-----				
	W	-----				R	-----				
	W	-----				N	-----				
	W	-----				EOT	-----				
	W	-----				GPL	-----				
vykonání	W	-----				DTL	-----			přenos dat mezi FDD a systémem	
výsledek	R	-----				ST0	-----			stavová in- formace po vykonání informace o ID sektoru po vykonání příkazu	
	R	-----				ST1	-----				
	R	-----				ST2	-----				
	R	-----				C	-----				
	R	-----				H	-----				
	R	-----				R	-----				
	R	-----				N	-----				

Čtení vymazaných dat:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	MT	MFM	SK	0	1	1	0	0	kód příkazu
	W	0	0	0	0	0	HDS	DS1	DS0	
	W	-----	-----	-----	-----	C	-----	-----	-----	
	W	-----	-----	-----	-----	H	-----	-----	-----	
	W	-----	-----	-----	-----	R	-----	-----	-----	
	W	-----	-----	-----	-----	N	-----	-----	-----	
	W	-----	-----	-----	-----	EOT	-----	-----	-----	
	W	-----	-----	-----	-----	GPL	-----	-----	-----	
vykonání	W	-----	-----	-----	-----	DTL	-----	-----	-----	přenos dat mezi FDD a systémem
výsledek	R	-----	-----	-----	-----	ST0	-----	-----	-----	stavová in- formace po vykonání informace o ID sektoru po vykonání příkazu
	R	-----	-----	-----	-----	ST1	-----	-----	-----	
	R	-----	-----	-----	-----	ST2	-----	-----	-----	
	R	-----	-----	-----	-----	C	-----	-----	-----	
	R	-----	-----	-----	-----	H	-----	-----	-----	
	R	-----	-----	-----	-----	R	-----	-----	-----	
	R	-----	-----	-----	-----	N	-----	-----	-----	

Zápis dat:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	MT	MFM	0	0	0	1	0	1	kód příkazu
	W	0	0	0	0	0	HDS	DS1	DS0	
	W	-----	-----	-----	-----	C	-----	-----	-----	
	W	-----	-----	-----	-----	H	-----	-----	-----	
	W	-----	-----	-----	-----	R	-----	-----	-----	
	W	-----	-----	-----	-----	N	-----	-----	-----	
	W	-----	-----	-----	-----	EOT	-----	-----	-----	
	W	-----	-----	-----	-----	GPL	-----	-----	-----	
vykonání	W	-----	-----	-----	-----	DTL	-----	-----	-----	přenos dat mezi systé- mem a FDD
výsledek	R	-----	-----	-----	-----	ST0	-----	-----	-----	stavová in- formace po vykonání informace o ID sektoru po vykonání příkazu
	R	-----	-----	-----	-----	ST1	-----	-----	-----	
	R	-----	-----	-----	-----	ST2	-----	-----	-----	
	R	-----	-----	-----	-----	C	-----	-----	-----	
	R	-----	-----	-----	-----	H	-----	-----	-----	
	R	-----	-----	-----	-----	R	-----	-----	-----	
	R	-----	-----	-----	-----	N	-----	-----	-----	

Zápis vymazaných dat:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	MT	MFM	0	0	1	0	0	1	kód příkazu
	W	0	0	0	0	0	HDS	DS1	DS0	
	W	-----	-----	-----	-----	C	-----	-----	-----	informace o
	W	-----	-----	-----	-----	H	-----	-----	-----	ID sektoru
	W	-----	-----	-----	-----	R	-----	-----	-----	před vykoná-
	W	-----	-----	-----	-----	N	-----	-----	-----	ním příkazu
	W	-----	-----	-----	-----	EOT	-----	-----	-----	
	W	-----	-----	-----	-----	GPL	-----	-----	-----	
vykonání	W	-----	-----	-----	-----	DTL	-----	-----	-----	
										přenos dat mezi systé- mem a FDD
výsledek	R	-----	-----	-----	-----	ST0	-----	-----	-----	stavová in-
	R	-----	-----	-----	-----	ST1	-----	-----	-----	formace po
	R	-----	-----	-----	-----	ST2	-----	-----	-----	vykonání
	R	-----	-----	-----	-----	C	-----	-----	-----	informace o
	R	-----	-----	-----	-----	H	-----	-----	-----	ID sektoru
	R	-----	-----	-----	-----	R	-----	-----	-----	po vykonání
	R	-----	-----	-----	-----	N	-----	-----	-----	příkazu

Čtení stopy:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	0	MFM	SK	0	0	0	1	0	kód příkazu
	W	0	0	0	0	0	HDS	DS1	DS0	
	W	-----	-----	-----	-----	C	-----	-----	-----	
	W	-----	-----	-----	-----	H	-----	-----	-----	
	W	-----	-----	-----	-----	R	-----	-----	-----	
	W	-----	-----	-----	-----	N	-----	-----	-----	
	W	-----	-----	-----	-----	EOT	-----	-----	-----	
	W	-----	-----	-----	-----	GPL	-----	-----	-----	
vykonání	W	-----	-----	-----	-----	DTL	-----	-----	-----	přenos dat mezi FDD a systémem. FDC čte ce- lou stopu od indexové dí- ry po EOT
výsledek	R	-----	-----	-----	ST0	-----	-----	-----	-----	stavová in- formace po vykonání informace o ID sektoru po vykonání příkazu
	R	-----	-----	-----	ST1	-----	-----	-----	-----	
	R	-----	-----	-----	ST2	-----	-----	-----	-----	
	R	-----	-----	-----	C	-----	-----	-----	-----	
	R	-----	-----	-----	H	-----	-----	-----	-----	
	R	-----	-----	-----	R	-----	-----	-----	-----	
	R	-----	-----	-----	N	-----	-----	-----	-----	

Čtení ID:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	0	MFM	0	0	1	0	1	0	kód příkazu
vykonání	W	0	0	0	0	0	HDS	DS1	DS0	
výsledek	R	-----				ST0	-----			stavová in- formace po vykonání informace o ID sektoru při vykonání příkazu
	R	-----				ST1	-----			
	R	-----				ST2	-----			
	R	-----				C	-----			
	R	-----				H	-----			
	R	-----				R	-----			
	R	-----				N	-----			

Formátování stopy:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	0	MFM	0	0	1	1	0	1	kód příkazu
	W	0	0	0	0	0	HDS	DS1	DS0	
	W	-----				N	-----			
	W	-----				SC	-----			
	W	-----				GPL	-----			
	W	-----				D	-----			
vykonání										FDC formátu- je celou stopu
výsledek	R	-----				ST0	-----			stavová in- formace po vykonání informace o ID sektoru po vykonání příkazu
	R	-----				ST1	-----			
	R	-----				ST2	-----			
	R	-----				C	-----			
	R	-----				H	-----			
	R	-----				R	-----			
	R	-----				N	-----			

Hledání dat stejných se vzorem:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	MT	MFM	SK	1	0	0	0	1	kód příkazu
	W	0	0	0	0	0	HDS	DS1	DS0	
	W	-----	-----	-----	-----	C	-----	-----	-----	
	W	-----	-----	-----	-----	H	-----	-----	-----	
	W	-----	-----	-----	-----	R	-----	-----	-----	
	W	-----	-----	-----	-----	N	-----	-----	-----	
	W	-----	-----	-----	-----	EOT	-----	-----	-----	
	W	-----	-----	-----	-----	GPL	-----	-----	-----	
vykonání	W	-----	-----	-----	-----	STP	-----	-----	-----	porovnání dat mezi FDD a systémem
výsledek	R	-----	-----	-----	-----	ST0	-----	-----	-----	stavová in- formace po vykonání informace o ID sektoru po vykonání příkazu
	R	-----	-----	-----	-----	ST1	-----	-----	-----	
	R	-----	-----	-----	-----	ST2	-----	-----	-----	
	R	-----	-----	-----	-----	C	-----	-----	-----	
	R	-----	-----	-----	-----	H	-----	-----	-----	
	R	-----	-----	-----	-----	R	-----	-----	-----	
	R	-----	-----	-----	-----	N	-----	-----	-----	

Hledání dat stejných se vzorem nebo menších než vzor:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	MT	MFM	SK	1	1	0	0	1	kód příkazu
	W	0	0	0	0	0	HDS	DS1	DS0	
	W	-----	-----	-----	-----	C	-----	-----	-----	informace o
	W	-----	-----	-----	-----	H	-----	-----	-----	ID sektoru
	W	-----	-----	-----	-----	R	-----	-----	-----	před vykoná-
	W	-----	-----	-----	-----	N	-----	-----	-----	ním příkazu
	W	-----	-----	-----	-----	EOT	-----	-----	-----	
	W	-----	-----	-----	-----	GPL	-----	-----	-----	
vykonání	W	-----	-----	-----	-----	STP	-----	-----	-----	
										porovnání dat
										mezi FDD a
										systémem
výsledek	R	-----	-----	-----	-----	ST0	-----	-----	-----	stavová in-
	R	-----	-----	-----	-----	ST1	-----	-----	-----	formace po
	R	-----	-----	-----	-----	ST2	-----	-----	-----	vykonání
	R	-----	-----	-----	-----	C	-----	-----	-----	informace o
	R	-----	-----	-----	-----	H	-----	-----	-----	ID sektoru
	R	-----	-----	-----	-----	R	-----	-----	-----	po vykonání
	R	-----	-----	-----	-----	N	-----	-----	-----	příkazu

Hledání dat stejných se vzorem nebo větších než vzor:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	MT	MFM	SK	1	1	1	0	1	kód příkazu
	W	0	0	0	0	0	HDS	DS1	DS0	
	W	-----	-----	-----	-----	C	-----	-----	-----	
	W	-----	-----	-----	-----	H	-----	-----	-----	
	W	-----	-----	-----	-----	R	-----	-----	-----	
	W	-----	-----	-----	-----	N	-----	-----	-----	
	W	-----	-----	-----	-----	EOT	-----	-----	-----	
	W	-----	-----	-----	-----	GPL	-----	-----	-----	
vykonání	W	-----	-----	-----	-----	STP	-----	-----	-----	porovnání dat mezi FDD a systémem
výsledek	R	-----	-----	-----	-----	ST0	-----	-----	-----	stavová informace po vykonání příkazu
	R	-----	-----	-----	-----	ST1	-----	-----	-----	
	R	-----	-----	-----	-----	ST2	-----	-----	-----	
	R	-----	-----	-----	-----	C	-----	-----	-----	
	R	-----	-----	-----	-----	H	-----	-----	-----	
	R	-----	-----	-----	-----	R	-----	-----	-----	
	R	-----	-----	-----	-----	N	-----	-----	-----	

Rekalibrace:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	0	0	0	0	0	1	1	1	kód příkazu
vykonání	W	0	0	0	0	0	0	DS1	DS0	

Zjištění stavu přerušení:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	0	0	0	0	1	0	0	0	kód příkazu stavová informace na konci každé operace seek
výsledek	R	-----	-----	-----	-----	ST0	-----	-----	-----	
	R	-----	-----	-----	-----	PCN	-----	-----	-----	
	R	-----	-----	-----	-----	-----	-----	-----	-----	

Specifikace:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	0	0	0	0	0	0	1	1	kód příkazu
	W	SRT				HUT				
	W	HLT				ND				

Zjištění stavu jednotky:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	0	0	0	0	0	1	0	0	kód příkazu
výsledek	R	0	0	0	0	0	HDS	DS1	DS0	
		ST3								stavová in- formace o FDD

Seek:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	0	0	0	0	1	1	1	1	kód příkazu
	W	0	0	0	0	0	HDS	DS1	DS0	
	W	NCN								
vykonání										přesun hlavy na uvedenou stopu

Neplatný příkaz:

fáze	R/W	datová sběrnice								poznámky
		D7	D6	D5	D4	D3	D2	D1	D0	
příkaz	W	neplatný kód								
výsledek	R	ST0								ST0=80

Mnemonika použitá v příkazech:

Symbol	název	popis
A0	adresní bit A0	A0 rozhoduje o výběru hlavního stavového a datového registru
C	číslo stopy	Právě platné číslo stopy v rozsahu 0 - 76
D	data	datový vzorek pro zápis na sektor
D7-D0	datová sběrnice	osmibitová datová sběrnice
DS0,DS1	drive select	Volba jednotky číslo 0 nebo 1
DTL	délka dat	je-li N=0, DTL určuje délku dat, kterou uživatel čte nebo zapisuje
EOT	konec stopy	číslo posledního sektoru na stopě
GPL	délka mezery	délka mezery mezi sektory
H	adresa hlavy	číslo hlavy 0 nebo 1
HDS	volba hlavy	volba hlavy číslo 0 nebo 1
HLT	doba přiklopení	doba přiklopení hlavy v FDD (2 - 254ms po 2 ms inkrement)
HUT	doba odklopení	doba odklopení hlavy (2 - 254ms po 2 ms inkrement)
MFM	režim MFM	0 - režim FM, 1 - MFM
MT	multi-track	1 - multistopová operace - pří-
N	počet	počet bytů dat zapisovaných na sektor
NCN	nové č. stopy	nové číslo stopy které bude dosaženo operací seek
ND	režim bez DMA	operace bez režimu DMA
PCN	současné číslo stopy	číslo stopy po skončení operace zjištění stavu přerušení
R	rekord	číslo sektoru který bude čten nebo do kterého se bude zapisovat

Symbol	název	popis
R/W	čtení/zápis	čtecí nebo zápisový signál
SC	sektor	počet sektorů na stopu
SK	skip	přeskočení adresní značky vymazaných dat
SRT	rychlost	rychlost krokování FDD (1-16 ms)
ST0 ST1 ST2 ST3	status 0 status 1 status 2 status 3	stavové registry ST0-ST3, které uchovávají stav po skončení operace a jsou dostupné ve fázi výsledku
STP		je-li při operaci vyhledávání STP=1, porovnávají se data v po sobě následujících sektorech byte po bytu. Je-li STP=2, jsou sektory střídavě čteny a porovnávány

5.2.4. Popis příkazů

V průběhu fáze příkazu se musí před každým zápisem bytu dat testovat hlavní stavový registr. Bit DIO (DB6)=1 a RQM (DB7)=0. Na začátku fáze vykonávání se přepnou na hodnoty 1 a 0.

Čtení dat

Nastavit FDC do režimu čtení dat znamená vyslat 9 bytů dat do datového registru. Jakmile FDC přijme příkaz, přiklopí hlavu (pokud byla odklopena), počká definovaný čas (předem programově nastavený) a začne číst adresní značku ID a pole ID. Když se porovná právě platné číslo sektoru (R) uložené v registru ID (IDR) s číslem sektoru přečteným z diskety, začne FDC vysílat data z datového pole byte po bytu na datovou sběrnici. Po přečtení dat ze sektoru se inkrementuje R o jednu a přejde se na další sektor. Tato spojitá funkce čtení se nazývá "multisektorová čtecí operace". Čtení je možno ukončit signálem TC na FDC. Po přijetí tohoto signálu přestane FDC vysílat data na sběrnici, ale pokračuje ve čtení dat ze sektoru, kontroluje byty CRC a po skončení čtení sektoru ukončí normálním způsobem čtecí operaci. Počet bytů, které se přenesou jedním příkazem závisí na parametrech MT (multi-track), MFM (MFM/FM) a N (počet bytů na sektor). Parametr MT umožňuje FDC číst data z obou stran diskety. Z jedné dané stopy se data přenášejí počínaje sektorem 1 na straně 0 a konče sektorem L, strana 1 (L poslední sektor na stopě). Tuto funkci lze tedy provádět

jen na dvou sobě odpovídajících stopách obou stran diskety.

Je-li $N=0$, pak DLT definuje počet bytů, se kterým musí FDC zacházet jako se sektorem. Je-li DTL menší, než skutečná délka sektoru, pak data, která jsou v sektoru za DTL se nevyšlou na sběrnici. FDC čte (pro sebe) celý sektor, provede kontrolu CRC a v závislosti na způsobu ukončení příkazu může provést multisektorové čtení. Je-li N různé od nuly, pak DTL nemá význam a musí být nastaveno na OFFH. Na konci operace čtení dat se hlava zvedne až po uplynutí předem programově nastaveného časového intervalu pro odklopení hlavy. Jestliže procesor stačí vyslat nový příkaz dříve, než se hlava odklopí, ušetří se čas pro přiklopení hlavy. Takto ušetřený čas rozhodně není zanedbatelný například při kopírování z jedné jednotky na druhou. Jestliže FDC detekuje dvakrát indexový otvor aniž nalezne správný sektor definovaný v R , nastaví ve stavovém registru 1 příznak ND (No Data) na 1 a ukončí čtecí operaci. Ve stavovém registru 0 se rovněž nastaví bit 7 na 0 a bit 6 na 1. Po přečtení ID a datového pole v každém sektoru kontroluje FDC byty CRC. Detekuje-li chybu čtení (nesprávné CRC v poli ID), nastaví FDC ve stavovém registru 1 bit DE (Data Error) na 1 a je-li chyba CRC v datovém poli, nastaví FDC na 1 ještě bit DD (Data Error v datovém poli) ve stavovém registru 2 a ukončí čtení. Opět se nastaví ve stavovém registru 0 bit 7 na 0 a bit 6 na 1. Čte-li FDC z diskety adresní značku vymazaných dat a není-li nastaven na 1 bit SK (bit D5 v prvním příkazovém slově, FDC přečte data z celého sektoru, nastaví ve stavovém slově 2 bit CM (kontrolní značka) na 1 a ukončí operaci. Je-li SK=1, FDC sektor s adresní značkou vymazaných dat přeskočí a čte následující sektor. Během diskových přenosů bez DMA musí procesor obsloužit FDC každých 27 mikrosekund v modu FM a každých 13 mikrosekund v modu MFM, jinak nastaví FDC ve stavovém slově 1 příznak OR (Over Run - přetečení) na 1 a ukončí příkaz. Jestliže procesor ukončí čtecí nebo zápisovou operaci v FDC, bude ID informace ve fázi výsledku záviset na stavu bitu MT a bytu EOT.

Zápis dat

Nastavit FDC do režimu zápis dat, znamená vyslat 9 bytů dat do datového registru. Jakmile FDC přijme příkaz, přiklopí hlavu (pokud byla odklopena), počká definovaný čas (předem programově nastavený) a začne číst pole ID. Když se porovná právě platné číslo sektoru (R) uložené v registru ID (IDR) s číslem sektoru přečteným z diskety, začne FDC přenášet data od procesoru do FDD. Po zapsání dat do právě nastaveného sektoru se zvětší R o 1 a další datové pole se zapisuje do dalšího sektoru. FDC pokračuje v této multisektorové operaci až do obdržení signálu TC. Po obdržení TC pokračuje FDC v zápisu do sektoru až do vyplnění celého datového pole. Je-li TC přijat v době zápisu do datového pole, vyplní zbytek datového pole samými nulami. FDC čte ID pole každého sektoru a kontroluje byty CRC. Zjistí-li FDC chybu čtení (špatné CRC) v jednom z polí ID, nastaví ve stavovém registru 1 příznak DE (Data Error) na 1 a ukončí příkaz. Stavový registr 0 má nastaven bit 7 na 0 a bit 6 na 1. Příkaz

zápisu dat pracuje velmi podobným způsobem jako příkaz čtení dat. Následující informace jsou naprosto shodné s příkazem čtení dat:

- * přenosová kapacita
- * EN - příznak konec stopy
- * interval odklopení hlavy
- * informace ID, když procesor ukončí příkaz
- * ND (No Data)
- * definování DTL při N=0 a N=1

V režimu přenosu dat bez DMA musí být FDC obsloužen každých 31 mikrosekund v modu FM a 15 mikrosekund v modu MFM. Bude-li časový interval mezi dvěma přenosy dat delší, nastaví FDC ve stavovém registru 1 příznak OR (přetečení) na 1 a ukončí příkaz zápisu dat.

Zápis vymazaných dat

Tento příkaz je shodný s příkazem zápis dat, kromě toho, že na začátek datového pole se zapisuje místo normální adresní značky adresní značka vymazaných dat.

Čtení vymazaných dat

Tento příkaz je shodný s příkazem čtení dat kromě toho, že když FDC detekuje datovou adresní značku na začátku datového pole (a SK=0), přečte všechna data v sektoru a nastaví ve stavovém registru 2 příznak CM na 1 a pak ukončí příkaz. Je-li SK=1, FDC přeskočí sektor s datovou adresní značkou a čte následující sektor.

Čtení stopy

Tento příkaz je podobný příkazu čtení dat kromě toho, že datové pole se čte spojitě ze všech sektorů na stopě. Bezprostředně po indikování indexového otvoru začne FDC číst všechna datová pole jako spojitý blok dat. Nalezne-li FDC chybu ID nebo CRC, pokračuje ve čtení bloku dat ze stopy. FDC porovná ID informaci přečtenou z každého sektoru s hodnotou uloženou v IDR a nalezne-li v porovnání neshodu, nastaví ve stavovém registru 1 příznak ND na 1. U tohoto příkazu nejsou dovoleny multistopové ani skokové operace. Příkaz skončí po přečtení sektoru s číslem EOT. Jestliže FDC nenalezne do druhého průchodu nad indexním otvorem adresní značku ID, nastaví ve stavovém registru 1 příznak MA (špatná adresní značka) na 1.

Čtení ID

Příkaz čtení ID se používá pro získání okamžité polohy hlavy. FDC uloží první hodnotu ID na které narazí. Nenalezne-li FDC do druhého průchodu nad indexním otvorem správnou adresní značku, nastaví ve stavovém registru 1 příznak MA na 1 a příkaz ukončí.

Formátování stopy

Tento příkaz umožňuje formátování celé stopy. Po průchodu nad indexovým otvorem se na stopu začnou zapisovat data: mezery, adresní značky, pole ID, datová pole, vše podle formátu IBM System 34 (DD) nebo System 3740 (SD). Konkrétní formát, který bude zapsán na disketu se řídí hodnotami parametrů N (počet bytů na sektor), SC (počet sektorů na stopu), GPL (délka mezery) a D (vzorek dat). Datová pole se vyplní hodnotami podle obsahu D. ID pole pro každý sektor dodává procesor ve čtyřech parametrech: C (číslo stopy), H (číslo hlavy), R (číslo sektoru) a N (počet bytů na sektor). To umožňuje naformátovat disketu tak, aby fyzická čísla sektorů nemusela následovat sekvenčně za sebou. Po naformátování každého sektoru musí procesor dodat nové hodnoty pro C, H, R a N pro každý sektor na stopě. Po naformátování každého sektoru se obsah R zvětší o jedničku, takže ve výsledkové fázi obsahuje registr R hodnotu R+1. Formátování pokračuje, dokud se nenarazí na indexový otvor. Je-li na konci zápisové operace přijat z FDD signál FAULT, nastaví FDC ve stavovém registru 0 příznak EC na 1 a ukončí operaci, přičemž nastaví ve stavovém registru 0 bit 7 na 0 a bit 6 na 1. Ukončení příkazu způsobí rovněž ztráta signálu READY na začátku fáze vykonání příkazu.

SCAN

Tento příkaz umožňuje porovnávat data čtená z diskety s daty dodávanými hlavním systémem (procesorem bez DMA režimu nebo řadičem DMA v režimu DMA). FDC porovnávat data byte po byte a hledá sektor, jehož data vyhovují podmínce $D(fdd)=D(\text{procesor})$, $D(fdd)\leq D(\text{procesor})$ nebo $D(fdd)\geq D(\text{procesor})$. Pro komparaci se používá aritmetika s jedničkovým doplňkem (FFH největší číslo, 00H nejmenší číslo). Není-li v daném sektoru vyhověno podmínce, zvětší se číslo sektoru ($R=R+STP$) a operace pokračuje na novém sektoru. Pokračuje do té doby, dokud :

- není vyhověno podmínce
- není prohledáván poslední sektor na stopě
- není přijat signál TC.

Je-li vyhověno podmínce, nastaví se ve stavovém registru 2 příznak SH (scan hit - hledání úspěšné) na 1 a příkaz skončí. Není-li vyhověno podmínce mezi počátečním sektorem (podle R) a posledním sektorem stopy (EOT), nastaví FDC ve stavovém registru 2 příznak SN (hledání neúspěšné) na 1 a ukončí příkaz. Po přijetí signálu TC dokončí FDC porovnávání bytu, na kterém právě operace probíhá a ukončí příkaz. Zjistí-li FDC na jednom ze sektorů adresní značku vymazaných dat a $SK=0$, je tento sektor považován za poslední sektor stopy, ve stavovém registru 2 se nastaví příznak CM na 1 a ukončí se příkaz. Je-li $SK=1$, přeskočí FDC tento sektor a pokračuje na následujícím sektoru. Zároveň nastaví ve stavovém registru 2 příznak CM na 1, aby ukázal, že se setkal se sektorem vymazaných dat. Je-li programováno STP nebo MT, je nutno si uvědomit, že se musí číst poslední sektor

na stopě. Například je-li STP=02, MT=0, sektory jsou očíslovány sekvenčně od 1 do 26 a začíná se číst na sektoru 21, stane se následující: budou se číst sektory 21, 23 a 25, sektor 26 se přeskočí a bude indikován indexní otvor dříve, než se načte v EOT hodnota 26. To způsobí nenormální ukončení příkazu. Bude-li EOT nastaveno na 25 nebo zahájí-li se čtení na sektoru například 20, ukončí se příkaz normálně.

SEEK

Tímto příkazem se pohybuje čtecí/záznamovou hlavou v FDD po jednotlivých stopách. FDC porovnává PCN (číslo právě nastavené stopy), nad kterou se právě hlava nachází s NCN (nové číslo stopy) a provádí následující operace:

- PCN < NCN - nastaví se směrový signál do FDD na 1 a vysílají se krokové pulzy (krokování dovnitř)
- PCN > NCN - nastaví se směrový signál do FDD na 0 a vysílají se krokové pulzy (krokování ven)

Rychlost, s jakou se vysílají krokovací pulzy je řízena parametrem SRT (rychlost krokování) v příkazu SPECIFY. Po vyslání každého pulzu se porovnávají PCN a NCN a je-li PCN=NCN, nastaví se ve stavovém registru 0 příznak SE (konec seeku) na 1 a příkaz se ukončí. Během příkazové fáze je FDC ve stavu FDC BUSY, ale během fáze vykonávání příkazu je NON BUSY. V tomto případě je možné vyslat další příkaz SEEK na další diskovou jednotku. Je-li FDD ve stavu NOT READY na začátku fáze vykonávací příkazu nebo během operace SEEK, nastaví se ve stavovém registru 0 příznak NR na 1 a příkaz se ukončí.

Rekalibrace

Tento příkaz způsobí přesun čtecí/záznamové hlavy na stopu 0. FDC vynuluje obsah čítače PCN a kontroluje stav signálu TRACK 0 z FDD. Jakmile přejde signál TRACK 0 do 0, zůstane signál Direction (směr) v 1 a vysílají se krokovací pulzy. Po přechodu signálu TRACK 0 do 1 se nastaví ve stavovém registru 0 příznak SE (konec seeku) do 1 a příkaz se ukončí. Je-li signál TRACK 0 v 0 ještě po vyslání 77 krokovacích pulzů, nastaví FDC ve stavovém registru 0 příznaky SE na 1 a EC (EQUIPMENT CHECK) na 1 a ukončí příkaz. I tento příkaz je možné podobně jako SEEK vyslat na více jednotek najednou.

Zjištění stavu přerušení

FDC generuje signál přerušení při splnění jedné z následujících podmínek:

1. po zahájení výsledkové fáze příkazů:
 - a) čtení dat
 - b) čtení stopy
 - c) čtení ID
 - d) čtení vymazaných dat
 - e) zápis dat
 - f) formátování stopy
 - g) zápis vymazaných dat
 - h) příkaz SCAN
2. změna stavu signálu READY z FDD
3. konec příkazu SEEK nebo rekaliibrace
4. během fáze vykonávání příkazu bez režimu DMA

Přerušení způsobená podmínkami 1 a 4 se objeví během normálních příkazových operací a jsou procesorem snadno rozpoznatelná. Avšak přerušení, způsobené podmínkami 2 a 3, může být rozpoznáno jedině pomocí příkazu zjištění stavu přerušení. Tento příkaz vynuluje signál přerušení v bitech 5, 6 a 7 ve stavovém registru 0 identifikuje příčinu přerušení.

SEEK END	kód přerušení		příčina
	bit 6	bit 7	
0	1	1	změna stavu signálu READY
1	0	0	normální konec SEEK, rekaliibrace
1	1	0	nenormální konec SEEK, rekaliibrace

Příkazy SEEK a rekaliibrace nemají výsledkovou fázi. Proto se musí po těchto příkazech zjišťovat způsob ukončení pomocí tohoto příkazu. Nebude-li použit tento příkaz, bude každý jiný příkaz po příkazech SEEK a rekaliibrace považován za neplatný.

Specifikace

Příkaz specifikace nastavuje počáteční podmínky pro všechny tři vnitřní časovače. HUT (doba pro odklopení hlavy) definuje čas od konce fáze vykonávání čtecího nebo zápisového příkazu do stavu, kdy je hlava odklopena. Tento čas je programovatelný od 16 do 240 ms po 16 ms. SRT (parametr pro rychlost krokování) definuje čas mezi dvěma krokovacími pulzy. Tento čas je programovatelný od 1 do 16 ms po 1 ms. HLT (doba pro přiklopení hlavy) definuje čas mezi náběžnou hranou signálu HEAD LOAD a startem čtecí nebo zápisové operace. Tento čas je programovatelný od 2 do 254 ms po 2 ms. Tyto tři časové intervaly jsou od-

vozeny od signálu CLK a časy popisované výše platí pro kmitočet 8 MHz. Volba režimů DMA nebo NON-DMA se provádí bitem ND. ND=1- NON-DMA, ND=0 - DMA.

Zjištění stavu jednotky

Tento příkaz se používá vždy, když je třeba zjistit stav FDD. Informaci o stavu jednotek obsahuje stavový registr 3.

Neplatný příkaz

Vyšle-li se do FDC neplatný příkaz, FDC příkaz ukončí a negeneruje přerušení. V hlavním stavovém registru se nastaví bit 6 na 1 a bit 7 na 1, čímž se procesoru naznačí, že FDC je ve výsledkové fázi a že se musí číst stavový registr 0. V tomto registru nalezne procesor obsah 80H, který indikuje, že byl přijat neplatný příkaz. Nebude-li po příkazech SEEK a rekali- brace použit příkaz zjištění stavu přerušení, bude každý jiný příkaz považován za neplatný.

5.2.5. Tabulky stavových registrů

Stavový registr 0:

bit			popis
č.	jméno	symbol	
D7	kód přerušení	IC	D7=0 a D6=0 - normální ukončení příkazu (NT). Příkaz skončil a byl správně vykonán
D6			D7=0 a D6=1 - nenormální ukončení příkazu (AT). Vykonávání příkazu začalo, ale příkaz nebyl správně vykonán
			D7=1 a D6=0 - vyslání neplatného příkazu (IC). Příkaz nebyl vůbec zahájen
			D7=1 a D6=1 - nenormální ukončení příkazu způsobené změnou stavu signálu READY z FDD
D5	Seek end	SE	tento příznak se nastaví na 1, když FDC dokončí příkaz SEEK
D4	chyba zařízení	EC	indikuje přijetí signálu FAULT z FDD, nebo neaktivní signál TRACK 0 po 77 krokovacích pulzech
D3	Not Ready	NR	indikuje stav nepřipravenosti FDD při vyslání čtecího nebo zápisového příkazu nebo vyslání takového příkazu na stranu 1 u jednostranné mechaniky
D2	adresa hlavy	HD	indikuje stav hlavy při přerušení
D1	jedn. 1	US 1	indikuje číslo jednotky při přerušení
D0	jedn. 0	US 0	

Stavový registr 1:

bit			popis
č.	jméno	symbol	
D7	konec stopy	EN	tento příznak se nastaví při pokusu FDC číst sektor za posledním sektorem stopy
D6			nepoužit, je vždy nastaven na 0
D5	chyba dat	DE	tento příznak indikuje chybu CRC v poli ID nebo v datovém poli
D4	přetečení	OR	indikuje, že FDC nebyl obsloužen procesorem během daného časového intervalu
D3			nepoužit, je vždy nastaven na 0
D2	No Data	ND	u příkazů čtení dat, zápis vymazaných dat a SCAN indikuje, že FDC nemůže nalézt sektor specifikovaný v registru IDR
			u příkazu čtení ID indikuje, že FDC nemůže bezchybně přečíst pole ID
			u příkazu čtení stopy indikuje, že FDC nemůže najít počáteční sektor
D1	nelze zapisovat	NW	indikuje, že FDC detekoval při zápisové operaci z FDD signál ochrana proti zápisu
D0	chybná adresní značka	MA	indikuje, že FDC nenalezl adresní značku ID ani po dvou průchodech nad indexovým otvorem
			indikuje, že FDC nenalezl adresní značku dat nebo vymazaných dat. Zároveň se nastavuje ve stavovém registru 2 příznak MA na 1

Stavový registr 2:

bit			popis
č.	jméno	symbol	
D7			nepoužit, je vždy nastaven na 0
D6	kontrlní značka	CM	indikuje, že během příkazu čtení dat nebo SCAN FDC našel sektor s adresní značkou vymazaných dat
D5	chyba dat v datovém poli	DD	indikuje, že FDC našel chybu CRC v datovém poli
D4	vadná stopa	WC	tento příznak se vztahuje k příznaku ND a indikuje, že se liší obsah C na médiu od obsahu uloženého v IDR
D3	úspěšný SCAN	SH	indikuje, že v průběhu operace SCAN byl nalezen hledaný vzorek
D2	neúspěšný SCAN	SN	indikuje, že v průběhu operace SCAN FDC nenalezl na stopě sektor s hledaným vzorkem dat
D1	špatná stopa	BC	tento příznak se vztahuje k příznaku ND a indikuje, že se liší obsah C na médiu od obsahu v IDR a obsah C je FFH
D0	chybná adresní značka v datovém poli	MD	indikuje, že FDC nenalezl adresní značku dat nebo vymazaných dat při čtecí operaci

Stavový registr 3:

bit			popis
č.	jméno	symbol	
D7	Fault	FT	indikuje stav signálu Fault z FDD
D6	Ochrana proti zápisu	WP	indikuje stav signálu Write protect z FDD
D5	Ready	RDY	indikuje stav signálu Ready z FDD
D4	Track 0	TO	indikuje stav signálu Track 0 z FDD
D3	Two Side	TS	indikuje stav signálu Two Side z FDD (FDD pro oboustranná média)
D2	Adresa hlavy	HD	indikuje stav signálu Side Select (výběr strany) z FDD
D1	Volba 1. jednotky	US 1	indikuje stav signálu Unit Select 1 z FDD
D0	Volba 0. jednotky	US 0	indikuje stav signálu Unit Select 0 z FDD

5.3. Zapojení řadiče pružných disků

Nyní se podívejme na schema řadiče, na list č.2 schema desky DMA. Spojení obvodu 8272A s procesorem je standardní. Je spojen osmibitovou sběrnicí dat BD0 až BD7 s vnitřní sběrnicí desky DMA. Dále do něj vede adresa A0 vybírající stavový a datový registr FDC. Také do něj vedou signály IOR*, IOW* a CS72* podmiňující práci s procesorem. Signály DRQ, DACK* a TC patří k signálům pro přenos DMA. Signál INT je signál přerušování pro procesor.

Druhá strana vývodů obvodu 8272A již patří rozhraní s mechanikou pružných disků. K řadiči na desce DMA je možno připojit dvě mechaniky pružných disků, nazývaných pak uživatelem A a B a ve schema číslicemi 0 a 1. I když řadič umí vybírat až jednu ze čtyř mechanik, pomocí signálů DS0 a DS1, konstruktéři počítače IBM tuto možnost nepoužili. Hlavním důvodem byla skutečnost, že obvod 8272A v neaktivním stavu automaticky přepíná výběrové signály a zkoumá stav signálu RDY* (proto je i tento signál generován přímo na desce a nepoužívá se signál z jednotek pružných disků). Chování jednotek pružných disků různých typů je v tomto případě odlišné a použité řešení tento problém odstraňuje. Raději byl proto přidán pomocný TTL registr pro řízení mechanik na adresu 3F2 HEX. Tento registr je na desce DMA realizován obvodem LS174 IO10. Po RESETU počítače je registr vynulován. Význam jednotlivých bitů tohoto registru je tento:

Bity pomocného reg. Význam		
bit D1	bit D0	vybraná mechanika
0	0	0 neboli A
0	1	1 neboli B
1	0	nepoužito u desky DMA
1	1	nepoužito u desky DMA
bit D2		nula nuluje řadič 8272A
bit D3		jednička povoluje DMA a přerušování od FDC
bit D4		jednička - zapnutí motoru mechaniky 0
bit D5		jednička - zapnutí motoru mechaniky 1
bit D6		nepoužit u desky DMA
bit D7		nepoužit u desky DMA

Poznámka : Proti IBM PC XT má PC 16 NB jen dvě připojitelné mechaniky pružných disků. IBM PC XT má možnost připojit dvě vnitřní a dvě vnější mechaniky. S příchodem takzvaných pevných disků (Winchester) ztratilo připojení dalších vnějších mechanik svůj význam a u počítačů řady AT se s ním již nepočítá.

5.4. Signály SEL0* a SEL1* a M0* a M1*.

Z výstupů řídicího registru LS174 se vytvářejí základní signály pro výběr mechanik a rozběh motorů mechanik. To, že se dají motory mechanik pružných disků 5.25" zastavovat, přineslo zásadní obrát oproti mechanikám 8" kde docházelo k opotřebování diskety a mechaniky. Hradla 7438 (výkonová hradla s otevřeným kolektorem) generují signály SEL0* a SEL1*. Aktivace těchto signálů je podmíněna jednak stavem bitu D0 řídicího registru, který vybírá mechaniky 0 a 1, a jednak bity D4 a D5. K tomu aby mechanika 0 nebo 1 byla vybrána je nutné, aby byl zapnut i její motor jedničkou v bitech D4 nebo D5. Signály M0* a M1* pro zapnutí motorů jsou vytvořeny zesílením a inverzí bitů registru LS174 pomocí hradel 7406 IO5/10 a IO5/12.

5.5. Signály vystavení hlavy STEP*, DIR*, T00* a SH*.

Obvod 8272 má také, podobně jako procesor 8088, vývody o trochu méně než by bylo třeba. Proto jsou některé jeho výstupy multiplexovány, podobně jako adresy u procesoru 8088. Využívá se toho, že řadič buď provádí tak zvaný SEEK - vystavování hlav na stopu, a nebo provádí čtení a zápis. Proto existuje signál z řadiče RW*/SK (čtení - zápis nebo seek) a některé vývody

pak mají dvojí funkci podle stavu tohoto signálu. U desky DMA se hradlování signálem RW*/SK využívá jen pro jediný výstupní a jediný vstupní signál a to pro STEP a T00*. Proto je STEP* generován hradlem 7438, které vytváří součin signálů RW*/SK a FR/ST. Signál STEP* je krátký impuls, který posune hlavu ze stopy na stopu. Směr posuvu je dán signálem DIR* (směr), který je generován z výstupu řadiče LC/D IO21/38 přes invertující zesilovač 7406 IO5/2. Stejně jednoduše je generován signál volby hlavy SH* inverzí a zesílením signálu HSEL IO21/27. Tolik k výstupním signálům z řadiče do disku.

Signál T00*, neboli stopa nula, přichází z disku a je zakončen jako všechny vstupní signály odporem R4 150 Ohm na +5V a invertován tvarovačem IO4/12. Potom je proveden součin s již zmíněným signálem RW*/SK pomocí hradla ALS08 IO8/11 a signál je veden na vstup F/TRK0 IO21/33.

5.6. Signály pro DMA přenos a přerušení.

Chce-li obvod 8272A zahájit DMA přenos při čtení a nebo zápisu dat, vydá signál DRQ IO21/14. V katalogu tohoto obvodu je však omezení, určující za jak dlouho po DRQ smí přijít sestupná hrana signálu RD*. Aby nedošlo k porušení tohoto parametru, zpožďuje se žádost o DMA vedená z obvodu 8272A do obvodu 8237A-5. Na desce DMA je to uděláno takto: Výstup DRQ z řadiče je zaveden do datového vstupu posuvného registru LS164 IO13/1,2 a hodiny registru mají takt 500 ns. Teprve z třetího výstupu posuvného registru, z QC je vedena žádost o DMA do hradla LS125 IO18/6, pomocí kterého je povolen průchod žádosti přes sběrnici do procesoru. Posuvný registr je vynulován příchodem signálu DACK2*. V řídicím registru na adrese 3F2 HEX je bit D3, který povoluje DMA a přerušení. Tento bit, přicházející z výstupu registru LS174, je invertován hradlem ALS04 IO19/6 a povoluje nejen žádost o DMA, ale i žádost o přerušení pomocí hradla LS125 IO18/8. Tento povolovací signál hradluje ještě vstup hradla LS32 IO35/8. Na tomto hradle se povoluje příjem signálu DCK2* (potvrzení DMA pro FDC) jen tehdy, bylo-li DMA povoleno příslušným bitem D3 řídicího registru. Součinem povolovacího signálu a DCK2* vzniká signál DCF*, který vede na první list a pomáhá (při DMA přenosu, to znamená při DCK2*) otevírat datový zesilovač LS245 desky DMA. Signál DCF* také povoluje průchod signálu EOP* (pro tuto desku náhrada za TC) hradlem LS32 IO35/3. Ze součinu DCF* a EOP* je po inverzi signál TC pro obvod 8272A. Signál TC ukončuje přenos DMA mezi FDC a pamětí RAM. Signál INT z FDC je (po vyhradlování povolovacím bitem D3 řídicího re-gistru) veden na sběrnici jako IRQ6.

Pamatujme si tedy, že řadič pružných disků používá pro DMA kanál č.2 a pro přerušení úroveň č.6.

5.7. Zdroj hodin

Zdroj hodin pro řadič je tvořen samostatným krystalovým oscilátorem o frekvenci 8MHz. Oscilátor je zapojen stejně jako oscilátor na desce WS-16. Za oscilátorem je dělič, který vyrábí tyto frekvence:

- 4 MHz pro hodiny CLK obvodu 8272 a pro korekční obvod zápisu.
- 2 MHz pro hodiny posuvného registru zpožďujícího žádost o DMA.
- 500 KHz pro zápis.

Pomocí hradel LS08 IO12/8 a IO112/11 se vytváří impuls dlouhý 250ns o frekvenci 500 KHz, který slouží pro 8272A jako zápisové hodiny WRCLK IO21/21.

5.8. Obvody zápisu

Obvody zápisu sestávají ze zesilovače povolovacího signálu WE a korekčního obvodu zápisu. Signál WE z 8272A je zesílen a invertován hradlem 7406 IO5/6 a veden do mechaniky jako WE*. Data (v seriovém tvaru vycházející z řadiče jako WRDATA IO21/30) nejdu přímo do mechaniky, ale do korekčního obvodu, sestávajícího z registru LS175 IO14 a multiplexeru čtyři na jeden (obvodu LS153 IO15). Použitý způsob záznamu (MFM) způsobuje určitou nevyrovnanost datových signálů. Je to způsobeno vypuštěním buď datových nebo hodinových impulsů v bitovém řetězci signálu dat. Toto vypuštění je závislé na sledu datových signálů a takto vytvořená nerovnoměrnost zhoršuje rozlišování dat při čtení. Proto se časové rozložení dat při zápisu upravuje. Řadič 8272A tuto nerovnoměrnost dokáže vyhodnotit již při zápisu a prostřednictvím výstupů PS0 a PS1 podává informaci má-li být příslušný bit dat zpožděn nebo zapsán dříve, popřípadě bez úprav. Podle těchto signálů je řízeno přepínání multiplexoru LS153 IO15 pomocí signálů na jeho vstupech A a B. Multiplexor pak nechá na svůj výstup IY projít příslušně zpožděný impuls z obvodu LS175. Tento registr je zapojen jako posuvný registr. Výstupní signál z multiplexoru je přiveden opět na obvod LS175, kde je synchronizován a teprve potom je z výstupu registru LS175 veden záznamový impuls dat (přes zesilovač 7406 IO5/8) do disku. Do mechaniky přicházejí takto upravená data jako signál WD* (data k zápisu).

5.9. Obvody čtení

Obvody čtení jsou u řadičů pružných disků nejsložitější. Data jsou totiž na disku nahrána jako kombinace datových a hodinových (synchronizačních) impulsů. Dokonce má záznam na disk takovou vzláštnost, že některé hodinové impulsy, které by měly v záznamu být vlastně chybí. Pomocí tak zvaných chybějících hodin (missing clock) se totiž na disku poznají různé značky od dat a navíc se při dvojnásobné hustotě záznamu nezapisují hodinové pulzy při záznamu sledu jedniček. Značky jsou důležitou

součástí formátu disku. Každá disketa proto musí být před prvním použitím (nebo v případě, že došlo k porušení dat na disketě např. magnetem a systém hlásí při zápisu či čtení chybu) správně naformátována. Při naformátování se na disketu nahrají čísla sektorů a stop, pomocné značky a další informace. Při vlastním zápisu a čtení se již formát nemění. Formátování diskety zajišťuje řadič 8272A za pomoci programu, například za pomoci příkazu FORMAT operačního systému DOS.

Hodiny a data přicházející seriově z disku se musí na desce každého řadiče oddělit. K tomu slouží tak zvaný separátor dat. U obvodu 8272A není separátor součástí obvodu a realizuje se mimo. Zapojení separátorů je mnoho. Nejčastější u nás bývá digitální separátor se stavovým automatem řízeným pamětí ROM. U desky DMA je použit analogový separátor na bázi fázového závěsu s napětově řízeným oscilátorem 74S124. Úkolem separátoru je vyrobit jakési okno, neboli impuls, pod kterým jsou platná data. Tento impuls je pak přiveden na vstup DWIN (Data Window) řadiče 8272A IO21/22. Na vstup dat, nazvaný RDDTA, řadiče IO21/23 jsou pak přivedena data z disku ve formě krátkých impulsů.

Data RD* jsou přijmuta z disku a tvarována invertorem LS14 IO4/2. Potom následuje derivační (zkracovací) obvod tvořený RC členem R7 a C7 (na schématu dole). Z jeho výstupu jdou data na hradlo LS08 IO12/3 kde se data hradlují se signálem VCO z řadiče. Data jsou potom z výstupu tohoto hradla vedena na vstup RDDAT řadiče 8272A. Ze zkracovacího obvodu také přicházejí data na vlastní separátor jehož součástí jsou klopné obvody ALS74 IO3. Na těchto klopných obvodech se vytvářejí signály UP a DOWN pro řízení frekvence oscilátoru. UP a DOWN jsou použity pro nastavování frekvence napětově řízeného oscilátoru 74S124 IO1. Základní frekvence oscilátoru (2 MHz) je nastavena pomocí potenciometru P velikostí napětí na vstupu RNG obvodu 74S124 IO1/3. Výstupní frekvence oscilátoru je pak řízena při čtení z disku napětím na RC kombinaci C5, C6 a R16. Napětí je dáno děličem R14 a R15 a hlavně vybíjením a nabíjením kondenzátorů C5 a C6 z výstupu hradla MHB4503 IO6/3 přes odpor R13. Trístavové hradlo MHB4503 tvoří pak regulátor napětí na vstupu FC obvodu 74S124. Toto hradlo vlastně vytváří spínač vybíjecího a nabíjecího proudu pro kondenzátory, podle signálů UP a DOWN. Výstupní frekvence z napětově řízeného oscilátoru je vedena do děliče LS93 IO7, který vyrábí hodinový signál pro klopný obvod ALS74 IO3/3. Na tomto klopném obvodu dochází k porovnání rozdílu frekvence impulsů dat a hodin z disku a frekvence napětově řízeného oscilátoru. První klopný obvod děliče LS93 je pak použit ještě jednou pro generaci signálu datového okna pro řadič 8272A. Poznamenejme, že na fázi datového okna DWIN u obvodu 8272A nezáleží. Záleží jen na tom, aby setrvačnost vytváření datového okna vyrovnala okamžiky chybějících hodin na disku a krátkodobé změny otáček disku, případně malou časovou modulací čtených impulsů.

5.10. Ostatní signály

Zbývající signály z disku IND* (index) a WP* (write protect) jsou jen tvarovány a invertovány obvody LS14 a vedou pak přímo do obvodu 8272A.

6. Popis 152-00551-4 / list 3 - tiskárna a konektory.

Soudobým standardem pro rozhraní (interface) tiskáren je paralelní rozhraní Centronics. Jednoznačnou orientaci na toto rozhraní podpořila firma EPSON tím, že pro svoje tiskárny používá výhradně rozhraní Centronics. I když je rozhraní standardní, nejsou standardní konektory, na kterých je to definováno. V tiskárnách se používá většinou 36 pólový konektor firmy Amphe-nol, ale ne všechny firmy to dodržují. (Například naše tiskárny tento konektor mít asi nebudou, protože nebyla zadána jeho výroba). Standardní je druhý konec kabelu, který se zasunuje do počítače. Zde se používá 25 pólový konektor Dsub Cannon. Na kabelu je vidlice (tatínek) a na desce rozhraní v počítači je zásuvka (maminka). Konektor o stejném počtu vývodů se v počítačích IBM používá ještě pro seriový přenos V24 (RS232C) a aby se to nepletlo, je zde na desce rozhraní vidlice (tatínek).

6.1. Zapojení konektoru

Nejprve si ukážeme zapojení konektorů, aby bylo jasné o jaké signály v rozhraní Centronics jde:

signál	funkce	Amphenol (tiskárna)	
		Cannon (deska)	
STROBE*	vzorkování dat	1	1
D0	data	2	2
D1	data	3	3
D2	data	4	4
D3	data	5	5
D4	data	6	6
D5	data	7	7
D6	data	8	8
D7	data	9	9
ACK*	potvrzení dat	10	10
BUSY	obsazeno	11	11
PE	konec papíru	12	12
SLCT	výběr	13	13
AUTOFD*	posuv formuláře	14	14
ERROR*	chyba	15	15
INIT*	reset	16	16
SLCT IN*	výběr vstup	17	17
GND	zem	18-25	16,33, 19-30

6.2. Význam signálů

Pro pochopení funkce rozhraní je také důležité znát významy jednotlivých bitů registrů. O adresách těchto registrů jsme již hovořili při popisu dekodéru daresy na desce DMA:

PRINTER DATA datový registr 378 HEX čtení/zápis	PRINTER STATUS stavový registr 379 HEX jen čtení	PRINTER CONTROL řídící registr 37A HEX čtení/zápis
D0	-	STROBE
D1	-	AUTO FEED
D2	-	INIT. PRINTER*
D3	ERROR*	SELECT IN
D4	SELECT STATUS	ENABLE INTER.
D5	PAPER OUT	-
D6	ACK*	-
D7	BUSY*	-

Z uvedené tabulky vyplývá, že rozhraní tiskárny zabírá tři adresy. Všimněme si ale, že registr dat a registr řízení, představující typicky výstupní porty, se dají i číst zpět do počítače. Ale nejedná se o čtení přímo obsahu registrů. Za řídicím registrem jsou ještě zesilovače řídicích signálů (STROBE* atd.) a informace se čte zpět až přímo za zesilovači, z konektoru. Když je zesilovačem signál třeba invertován, je při čtení zpět invertován znovu. Toto neobvykle komplikované řešení je náročné na integrované obvody. Snahou konstruktérů počítače IBM bylo zajistit základní diagnostiku, aby se programem dalo odhalit co nejvíce chyb. Při spolehlivosti dnešní zahraniční elektroniky to však asi byla zbytečná snaha. Porty tiskárny, data a řízení, jsou tedy u rozhraní Centronics počítačů IBM obousměrné, ale nedá se toho využít, protože třeba datový zesilovač je neustále povolen směrem ven a nejde programově uvést do třetího stavu. Proto zpětné čtení zjišťuje jen případné zkratky signálů na zem a neumožňuje použít tento port jako vstupní.

6.3. Signály z vnějších obvodů

Nyní se podívejme na list 3 schematu desky DMA. Z ostatních obvodů desky na tento list přicházejí tyto signály:

=====	
BDO až BD7	vnitřní datová sběrnice desky
RPA*	čtení z adresy portu 378
RPB*	čtení z adresy portu 379
RPC*	čtení z adresy portu 37A
WPA*	zápis na adresu portu 378
WPC*	zápis na adresu portu 37A
RES*	nulování při resetu
=====	

Z obvodů tiskárny jsou všechny signály připojeny na 25 pólový konektor rozhraní a jen jeden signál (kromě čtených dat) vede zpět na sběrnici počítače. Tento signál je IRQ7, přerušení na úrovni 7, a vede na kontak B21 sběrnice.

6.4. Datový registr

Po tomto úvodu již bude popis zapojení jednoduchý. Datový registr pro výstup dat na tiskárnu je obvod LS374 I032, a proto na jeho hodiny vede vstup WPA* (zápis na adresu 378). Výstupy registru vedou na kontakty č.2 až č.9 konektoru rozhraní. Aby nepronikalo rušení ven z počítače, jsou pomocí kondenzátorů "sraženy" hrany všech výstupních signálů rozhraní. Data z konektoru se čtou tristavovým zesilovačem LS244 zpět do počítače, a proto je na jeho vstupy G* (IOI031/1 a 19) zapojen signál RPA* - čtení z potu 378

6.5. Stavový registr

Stav tiskárny se čte do bitů dat BD3 až BD7. Data D0 až D2 jsou bez významu. Čtení zajišťuje signál RPB* - čtení z portu 379. Bity 3,4,5 a 6 se čtou polovinou obvodu LS244 I034B a bit 7 se čte hradlem LS125 I037/11, před kterým je hradlo ALS04 invertující signál BUSY z konektoru. Jedině signál BUSY se čte tedy opačně než je na konektoru.

6.6. Řídící registr

Registr řízení je tvořen obvodem LS174, do kterého se zapisuje signálem WPC* (zápis do portu 37A) a který je nulován signálem RES*. Signál INITIALIZE PRINTER* je posílán z I033/2 do tiskárny přes dvě inverze, čímž je zajištěno, že tiskárna je po zapnutí resetována. Zpět se čte tento signál do bitu BD2 bez inverze (přímo z konektoru) třístavovým zesilovačem LS244 I034A/16.

Bity BD0 (STB), BD1 (Auto Feed) a BD3 (Select In) jdou na konektor tiskárny přes invertory 7406 a čtou se přes invertory ALS04 zpět obvodem LS244 I034B. Výstupy hradel 7406 jsou ošetřeny odpory.

Bit D4 řídicího registru je povolení přerušení. Proto je výstup invertován a zaveden na povolovací vstup třístavového hradla LS125 I037/10. Toto hradlo generuje přerušení na úrovni IR7. Přerušení je od signálu ACK* a protože je u IBM PC signál žádosti o přerušení pozitivní, je signál ACK* invertován hradlem LS04 I039/6. Bit D4 je čten zpět do počítače přímo z výstupu registru Q4 obvodem LS125 I037/3.

6.7. Obousměrný přenos dat

Abychom umožnili využití datového portu na adrese 378 i jako obousměrného portu, je povolovací vstup OC* registru LS374 I032/1 připojen na zem přes odpor R27 220 ohm. Přivede-li se na kontakt 25 konektoru Centronics tvrdší napětí +3V až +5V, výstupy registru se zavřou a port může pracovat jako vstupní.

6.8. Zapojení konektorů

Tím jsme vyčerpali popis obvodů tiskárny. Na listu 3 schématu je ještě zapojení konektoru sběrnice desky K1 a konektoru pružných disků K3. Pružné disky se připojují pomocí 34 žilového plochého kabelu. Aby bylo možno použít řezných konektorů i na připojení mechanik disků vymysleli u IBM jednoduchý "fórek". Využili toho, že všechny mechaniky 5.25" mají standardní konektor s jednotným významem signálů. Na kabel se nejprve namačká konektor pro mechaniku B (SEL1*, M0*), potom se odřízne vodiče označené čísly 10, 12, 14 a 16 (podle konektoru K3), přetočí se a namačká se konektor mechaniky A (SEL0*, M0*). Dojde k následujícímu prohození signálů:

Konektor disku standard 5,25"	mechanika B číslo vodiče	mechanika A číslo vodiče
č.10 SELECT 0	čv.10	čv.16
č.12 SELECT 1	čv.12 SEL 1*	čv.14 SEL 0*
č.14 SELECT 2	čv.14	čv.12
č.16 MOTOR ON	čv.16 M1*	čv.10 M0*

Z prohození vodičů je vidět, proč je první konektor pro mechaniku B a proč se volí každá mechanika jako SEL 1. Mechaniky disků použité v počítačích IBM PC XT se tedy volí jednotně jako SEL 1* (propojky na mechanice) a není tedy nutné je volit jako 0 a 1, jak tomu bývá u ostatních počítačů. Ještě je důležité to, že zakončovací odpory 150 ohm pro výstupní signály rozhraní zůstávají vždy v mechanice A a z mechaniky B se při rozšiřování musí tyto odpory vyndat. Jinak by byly signály rozhraní přetíženy.

7. Závěr

Na závěr si zopakujme to nejdůležitější z popisu desky DMA:

- Deska DMA se zasunuje do posice X1 sběrnice počítače
- Deska DMA je odlišná od desek IBM PC a není ji možno použít jako řadič pružného disku nebo rozhraní tiskárny do žádného počítače kromě počítače PC 16 NB.
- Deska rozšiřuje konfiguraci o jeden nebo dva pružné disky 5.25", obvody DMA a o rozhraní tiskárny typu Centronics.
- Pozor na to, že po rozšíření o jeden nebo dva pružné disky je také nutné správně nastavit přepínače SW7 a SW8 na desce WS-16.
- Řadič DMA je realizován obvodem 8237A-5, rozšiřovacím stránkovacím registrem LS670 a dalšími TTL obvody.
- Řadič disku je realizován řadičem 8272A (NEC 765A nebo CM609). Kromě toho je součástí řadiče řídicí registr pro mechaniky, separátor dat, korekční obvod zápisu, zesilovače a přijímače z rozhraní a konektor pro připojení pružných disků. Řadič pružných disků využívá DMA kanál č.2 a žádost o přerušeni na úrovni 6 (IRQ6*).
- Rozhraní tiskárny je podle standardu Centronics. Je realizováno TTL obvody a zajímavé je tím, že datový a řídicí registr je vybaven čtecími obvody pro zpětnou kontrolu rozhraní. Rozhraní tiskárny nepoužívá přenosu DMA, ale využívá přerušeni na úrovni 7 (IRQ7*).