

152-00502-4 / str. 1

## TECHNICKÝ POPIS

DESKY HGA

Obsah :

1. Úvod . . . . .	3
2. Parametry monitoru řízeného deskou HGA . . . . .	4
3. Parametry adaptéru HERCULES . . . . .	4
3.1. Registry řadiče Motorola 6845 . . . . .	5
3.2. Řídící registr adaptéru HGA (adresa 3B8 HEX) . . . . .	9
3.3. Stavový port adaptéru HGA (adresa 3BA) . . . . .	9
3.4. Konfigurační registr adaptéru HGA (adresa 3BF) . . . . .	10
3.5. Porty tiskárny . . . . .	10
3.6. Textový mód . . . . .	10
3.7. Grafický mód . . . . .	11
3.8. Generátor znaků na desce HGA . . . . .	12
4. Členění dokumentace desky HGA . . . . .	14
5. Popis listu 152-00500-2, deska HGA osazená . . . . .	14
6. Popis listu 152-00501-4 HGA schema (časová základna) . . . . .	14
6.1. Způsob tvorby videosignálu pro monitor . . . . .	15
6.2. Paměť PROM 74188 . . . . .	16
6.3. Paměť PROM IO35 . . . . .	16
6.4. Přístup procesoru k videopaměti RAM HGA . . . . .	17
6.5. Multiplexování adres RAM . . . . .	18
7. Popis listu 152-00501-4 HGA schema (řízení paměti) . . . . .	18
7.1. Paměť RAM 64 Kbyte . . . . .	19
7.2. Obvod Motorola 6845 . . . . .	19
7.3. Multiplexer adres . . . . .	20
8. Popis listu 152-00501-4 HGA schema (obvody videosignálu) . . . . .	21
8.1. Dekodér LS 155 . . . . .	22
8.2. Textový mód obvodů videosignálu . . . . .	23
8.3. Obvody videosignálu při grafickém módu . . . . .	25
8.4. Zpracování signálů synchronizace . . . . .	25
9. Popis listu 152-00501-4 HGA schema (dekodéry a registry) . . . . .	26
9.1. Zpracování adresy . . . . .	26
9.2. Dekódování adresového prostoru . . . . .	27
9.3. Obsluha sběrnice . . . . .	27
9.4. Signál Enable . . . . .	27
9.5. Registr stavu . . . . .	27
9.6. Registr módu . . . . .	28
9.7. Registr konfigurace . . . . .	28
10. Závěr . . . . .	29

## 1. Úvod.

Zkratka HGA znamená Herkules Grafický Adaptér. Deska HGA je ekvivalentem adaptéru pro alfanumerické a grafické zobrazení na monochromatickém displeji. Adaptéry pod označením HERCULES vyvinula a vyrábí americká firma Hercules Computer Technology Inc.

Když v roce 1981 přišla firma IBM se svým prvním modelem IBM PC, měla pro něj k dispozici dva typy zobrazovacích adaptérů. Dva proto, že nárokům na dobré rozlišení psaných textů i nárokům na barevnou grafiku nemohl tehdy vyhovět jediný, universální adaptér. Běžné, nespeciální barevné obrazovky mají rozlišení maximálně 512 bodů v 256 linkách a to je na dobrý text ve standardním formátu 80 znaků na řádek a 25 řádek přece jen málo. Monochromatické (jednobarevné) monitory zase nesplňují požadavky na barevné zobrazení grafiky. Proto IBM vyvinuly takzvaný adaptér CGA (Color Graphics Adaptér), který byl určen pro barevné zobrazení, a adaptér MDA (Monochrom Display Adaptér) pro kvalitní monochromatické zobrazení textu. Oba adaptéry mohly být v počítači najednou a k počítači byly připojeny dvě obrazovky. Mnoha uživatelům tento stav nevyhovoval. MDA neumí grafiku a bylo nutné pracovat s CGA adaptérem, na kterém jsou znaky velice špatně zobrazeny. Zejména nám, pro češtinu, nemůže rastr znaku 8x8 bodů, který je u CGA vyhovovat. Firma Hercules přišla s myšlenkou, rozšířit zobrazení adaptéru MDA o grafiku. Adaptér MDA kreslí 80 znaků ve 25 řádcích a každý znak má rastr 9 x 14 bodů. Když to vynásobíme, dostaneme  $80 \times 9 = 720$  a  $25 \times 14 = 350$ . Firma Hercules udělala tedy adaptér, který má dva módy (alfanumerický - kompatibilní s MDA a grafický, nekompatibilní s žádným adaptérem IBM). V grafickém módu byl zvolen rastr 720 x 348 bodů. Počet linek musí být dělitelný čtyřmi, jak uvidíme později, a proto ne 350 ale 348. Adaptér Hercules Graphics Adaptér se velice rychle ujal a nové programové vybavení počítačů třídy IBM již bylo psáno i pro grafiku Hercules. Proto je dnes Hercules "de facto" standard a programy ho umí obsloužit. Nakonec i nové barevné adaptéry, jako jsou EGA a VGA, mají dnes mód, ve kterém umí emulovat monochromatické zobrazení typu Hercules.

Pro počítač PC16NB byl jako základní vybrán adaptér Hercules z těchto důvodů: Počítá se s jeho nasazením do škol. S adaptérem typu CGA jsou pro zobrazení textů negativní zkušenosti. Barevná obrazovka, zejména s menším rozlišením unavuje oči. Při použití monochromatického monitoru textové zobrazení typu MDA neumožňuje grafiku. Obvodové řešení adaptéru Hercules klade vysoké nároky na rychlost, zejména na rychlost použitých pamětí. Je to proto, že když se zobrazují znaky, musí se z paměti přečíst kód znaku, jeho atribut (příznaky blikání, inverse a zvýšení jasu znaku) a ještě musí zbýt čas na přístup procesoru do paměti znaků a atributů. Celkem je na tyto tři přístupy k paměti asi 560 ns a to je málo. Přesto se podařilo tyto problémy vyřešit, i když ne tak elegantně jako těm, kteří dělají adaptéry typu Hercules pro světový trh (dnešní adaptér má díky zákaznickým obvodům asi 10 součástek, a to včetně rozhraní tiskárny).

## 2. Parametry monitoru řízeného deskou HGA.

Deska HGA je adaptér pro monochromatický monitor s následujícími parametry:

Rozlišení horizontální	720 bodů
Rozlišení vertikální	348 bodů
Horizontální frekvence rozkladů	18,432 KHz
Vertikální frekvence rozkladů	50 Hz
Typ rozhraní	signály TTL
Typ konektoru, vidlice na kabelu monitoru	9 pólů D sub

Zapojení konektoru monitoru Hercules		
č.	název	signál
1	GND	zem
2	GND	zem
3	-	nepoužit
4	-	nepoužit
5	-	nepoužit
6	INT	Intenzita jasu znaku
7	VID	Video - pozitivní
8	HS	Horizontální synchronizační signál - pos.
9	VS*	Vertikální synchronizační signál - neg.

I když jsou monochromatické monitory s uvedenými parametry ve světě naprostou samozřejmostí, u nás se na ně pozapomělo. Proto je nutné dodávat k počítači PC16NB monitory zahraniční výroby. Adaptér Hercules vyžaduje od monitoru jednak neobvyklou horizontální vychylovací frekvenci 18,432KHZ a jednak musí mít vysoce kvalitní obrazovku s vysokým rozlišením. Za to ale poskytuje vysokou kvalitu rozlišení jak v zobrazení textů, tak v zobrazení grafiky. Dobrým důkazem kvality zobrazení Hercules je i to, že je to jediný typ adaptéru, který "přežil" nástup adaptérů typu EGA na trh počítačů typu IBM PC.

## 3. Popis adaptéru HERCULES.

Na desce adaptéru HGA je videopaměť; je to paměť RAM pro zapamatování zobrazených znaků a jejich atributů a pro zapamatování plné bodové grafiky s rozlišením 720 x 348 bodů. Pro znaky potřebujeme 80 x 25 Byte paměti a pro jejich atributy také 80 x 25 Byte. Celkem tedy potřebujeme pro znaky 4000 Byte paměti RAM. Pro grafiku potřebujeme 720 / 8 x 348 Byte, protože každých osm bodů je uloženo v jednom Byte paměti RAM. Potřebujeme tedy 31320 Byte RAM, neboli 32 KByte. Protože se paměťové čipy 32 Kbit nevyrábí, je u HGA použita paměť RAM o kapacitě 64KByte a do této paměti se vejdu dva obrázky, říkáme, že HGA má možnost

zobrazit dvě grafické stránky ( Page 0 a Page 1 ). Každá stránka má 32 KByte. V adresovém prostoru počítačů IBM PC je videopaměť desky HGA umístěna takto:

Page 0 = B0000 - B7FFF ( 32Kbyte )  
 Page 1 = B8000 - BFFFF ( 32Kbyte )

V alfanumerickém módu je zapotřebí pro znaky a jejich atributy 4000 byte, a protože nemůže být najednou alfanumerický a grafický mód, používá se stejné paměti RAM v rozsahu:

B0000 - B0FFF ( 4Kbyte)

Na desce HGA je použit jako řadič obvod Motorola 6845. Pro řízení dalších funkcí jsou na desce HGA ještě další registry, neboli porty. Adresa portů je pevně určena. Oproti zahraničním deskám nemá naše HGA rozhraní pro tiskárnu. Deska HGA zabírá tyto adresy portů:

adresa	funkce	čtení/zápis
3B4	Index registr M6845	zápis
3B5	Data registr M6845	čtení/zápis
3B8	registr módu HGA	zápis
3BA	registr stavu HGA	čtení
3BF	konfigurační registr	zápis

### 3.1. Registry řadiče Motorola 6845.

Tento obvod řídí horizontální a vertikální rozklad monitoru, rozměry zobrazovacího pole na stínítku obrazovky, způsob zobrazení a velikost kurzoru a také výběr informací z videoram.

Obvod má osmnáct pracovních registrů, k nimž se přistupuje pro snížení počtu adres prostřednictvím speciálního adresního registru. Zápis do adresního registru se provádí v případě nulové úrovně na vstupu RS. Je-li na vstupu RS jednička, provádí se přístup do datového registru, jehož číslo bylo předem zapsáno do registru adresního. Tím je dosaženo adresování celého obvodu pomocí pouhých dvou adres periferních obvodů.

Dále je třeba zdůraznit, že použitý obvod je určen pro alfanumerické aplikace, a proto se stále hovoří o znacích. Grafické použití obvodu M6845 v adaptérech pro IBM PC je jen chytré využití alfanumerického řadiče displeje pro grafiku. Význam jednotlivých registrů obvodu M6845 je v následující tabulce.

## Registry obvodu M6845.

Č. reg.	Směr přen.	Název registru	Bit							
			0	1	2	3	4	5	6	7
R0	W	Celková velikost H-rozkladu	x	x	x	x	x	x	x	x
R1	W	Zobrazená velikost H-rozkladu	x	x	x	x	x	x	x	x
R2	W	Poloha H-synchronizace	x	x	x	x	x	x	x	x
R3	W	Šířka synchronizace	V	V	V	V	H	H	H	H
R4	W	Velikost V-rozkladu (znaky)	-	x	x	x	x	x	x	x
R5	W	Velikost V-rozkladu (řádky)	-	-	-	x	x	x	x	x
R6	W	Zobrazená velikost V-rozkladu	-	x	x	x	x	x	x	x
R7	W	Poloha V-synchronizace	-	x	x	x	x	x	x	x
R8	W	Mód prokládání a posuvu	C	C	-	-	-	-	I	I
R9	W	Výška znaku	-	-	-	x	x	x	x	x
R10	W	Začátek kurzoru	-	B	P	x	x	x	x	x
R11	W	Konec kurzoru	-	-	-	x	x	x	x	x
R12	W	Počáteční adresa (H)	0	0	x	x	x	x	x	x
R13	W	Počáteční adresa (L)	x	x	x	x	x	x	x	x
R14	R/W	Adresa kurzoru (H)	0	0	x	x	x	x	x	x
R15	R/W	Adresa kurzoru (L)	x	x	x	x	x	x	x	x
R16	R	Světelné pero (H)	0	0	x	x	x	x	x	x
R17	R	Světelné pero (L)	x	x	x	x	x	x	x	x

Obvod M6845 nezajišťuje převod obrazové informace, získané z paměti v paralelním tvaru pro celý znak, na seriový tvar nutný pro zobrazení na obrazovce monitoru. Tento převod je zajištěn pomocnými obvody, které musí pro dosažení synchronizace výběru informací z videopaměti vytvářet vhodný signál přiváděný na vstup CLK obvodu M6845.

Registr R0 - Obsah tohoto registru určuje maximální hodnotu, kterou může dosáhnout čítač velikosti horizontálního rozkladu. Tento čítač zpracovává vstupní signál, odpovídající frekvenci znaků, přivedenou na vstup CLK. Hodnotou, nahranou do tohoto registru, je určena velikost znakového řádku včetně jeho zatemněné části. Výchozí stav čítače je nula, a proto je počet znaků na řádku o jednotku vyšší než číslo v registru R0.

Registr R1 - Obsah tohoto registru určuje maximální hodnotu, které může dosáhnout čítač počtu zobrazených znaků. Výchozí stav čítače je nula, a proto je počet znaků na řádku o jednotku vyšší než číslo v registru R1.

Registr R2 - Obsah tohoto registru určuje maximální hodnotu, které může dosáhnout čítač polohy horizontálního synchronizačního pulzu. Výchozí stav čítače je nula, a proto je poloha synchronizačního pulzu určena počtem znaků o jednotku vyšším než číslo v registru R2.

Registr R3 - Obsah tohoto registru určuje velikost vertikálního i horizontálního pulzu. Šířku horizontálního synchronizačního pulzu nastavují dolní čtyři bity registru (označené H). Tyto čtyři bity určují maximální hodnotu čítače šířky horizontálního synchronizačního pulzu. Tento čítač, který zpracovává opět frekvenci znaků, má výchozí stav nula, a proto je šířka horizontálního synchronizačního pulzu o jeden znak větší než číslo v registru R3.

Horní čtyři bity registru R3 (označené V) nastavují šířku vertikálního synchronizačního pulzu. Tyto čtyři bity určují maximální hodnotu čítače šířky horizontálního pulzu. V tomto případě čítač počítá obrazové řádky. Výchozí stav tohoto čítače je opět nula, a proto je šířka vertikálního synchronizačního pulzu o jeden obrazový řádek větší než číslo v registru R3. Tato skutečnost neplatí obecně, neboť se vyrábějí provedení obvodu M6845, u nichž nelze nastavovat šířku vertikálního synchronizačního pulzu (tato šířka je pevně nastavena na hodnotu 15). Je proto třeba pro zjištění možnosti nastavování tohoto parametru nahlédnout do katalogu konkrétního výrobce tohoto obvodu.

Horizontální časování - Rozdíl mezi obsahem registrů R0 a R1 vytváří zatemňovací interval řádkového rozkladu. V průběhu tohoto intervalu dochází ke zpětnému běhu paprsku v horizontální rovině. Pro správnou činnost zobrazovacích jednotek je vhodné volit zatemňovací interval v rozsahu přibližně dvaceti procent celkové doby horizontálního rozkladu. Synchronizační impuls se umísťuje do intervalu zpětného běhu. Doporučuje se, aby dělil zatemňovací interval v poměru 1:2:2.

Registry R4 a R5 - Obsah těchto registrů určuje vertikální rozměr obrazu. Údaj v registru R4 určuje maximální hodnotu obsahu čítače vertikálního rozkladu, který zpracovává znakové řádky. Pro přesnější nastavení frekvence vertikálního rozkladu se na závěr intervalu přidává časový interval určený obsahem registru R5. Tento čítač zpracovává obrazové řádky. Pro oba čítače platí, že jejich výchozí stav je nula, a proto velikost vertikálního rozkladu je dána počtem znakových a obrazových řádků v obou případech zvýšeným o jednotku.

Registr R6 - Obsah tohoto registru určuje maximální hodnotu čítače počtu zobrazených znakových řádků. I tento registr má počáteční hodnotu nula, a proto je skutečný počet zobrazených řádků o jednotku vyšší než hodnota v registru R6.

Registr R7 - Obsah tohoto registru určuje maximální hodnotu čítače polohy vertikálního synchronizačního pulzu. Tento registr zpracovává znakové řádky a jeho výchozí hodnota je nula. Proto bude poloha vertikálního synchronizačního pulzu určena počtem znakových řádků o jednotku vyšším než je hodnota v registru R7.

**Registr R8** - Obsah tohoto registru určuje mód prokládání obrazových pulsů a velikost zpoždění některých výstupních signálů vzhledem k počátku zobrazovacího intervalu. Bity označené v tabulce znakem C určují zpoždění signálů na výstupech DE ( uvolnění výstupu obrazové informace ) a CURSOR ( obrazový signál vytvářející kurzor na obrazovce ). Hodnota zpoždění je dána následující tabulkou.

Bit		Zpoždění
7	6	
0	0	Bez zpoždění
0	1	Zpoždění o jeden znak
1	0	Zpoždění o dva znaky
1	1	Nepovolená hodnota

Nejnižší dva bity registru R8 určují mód prokládání obrazových pulsů a jejich význam je určen následující tabulkou.

Bit		Prokládání
1	0	
0	0	Bez prokládání
0	1	Bez prokládání
1	0	S prokládáním synchronizace
1	1	S prokládáním synchronizace a videa

V případě režimů bez prokládání jsou oba pulsnímky zcela shodné jak z hlediska obrazové informace tak i z hlediska polohy vertikálního synchronizačního pulzu. Takto vytvořené obrazové pulsnímky se pak na obrazovce zcela překrývají.

V režimu s prokládáním synchronizace se obrazová informace v obou pulsnímcích zcela shoduje. Poloha vertikálního synchronizačního pulzu je však upravena tak, že dochází k posunu zobrazovaných informací o polovinu rozteče obrazových řádků.

V případě s prokládáním synchronizace i videa je poloha synchronizačního pulzu upravena stejným způsobem jako v předchozím případě. V tomto případě dochází i k odlišnému způsobu výběru informací z videopaměti. V lichém pulsnímku se vybírají pouze informace lichých obrazových řádků a v sudém pulsnímku pouze informace sudých obrazových řádků.



Oba režimy s prokládáním jsou určeny hlavně pro obrazovky s dlouhou dobou dosvitu. Je však třeba zachovat určitá pravidla:

- hodnota v registru R0 musí být lichá
- hodnota v registru R9 musí být lichá
- v případě prokládání synchronizace i videa je počet zobrazovaných znakových řádků vždy sudý. Do registru R6 se v tomto případě nahrává poloviční hodnota počtu zobrazovaných řádků.
- v případě prokládání synchronizace i videa musí být hodnota obou registrů pro řízení polohy kurzoru (R10,11) buď sudá nebo lichá.

Registr R9 - Obsah tohoto registru určuje maximální hodnotu adresy pro výběr řádků znaku. Touto hodnotou je určena výška zobrazovaného znaku.

Registry R10 a R11 - Obsah registru R10 určuje polohu počátku kurzoru a obsah registru R11 polohu konce kurzoru. Bity označené B a P registru R10 řídí mód kurzoru. Jejich význam je zřejmý z následující tabulky.

Bit		Mód kurzoru
B	P	
0	0	Bez blikání.
0	1	Kurzor nezobrazen
1	0	Blikání 1/16 vert. frekvence
1	1	Blikání 1/32 vert. frekvence

Neblikající kurzor se používá v případě řízení blikání kurzoru vnějšími obvody.

Registry R12 a R13 - Do této dvojice registrů se nahrává adresa od níž je prováděn výběr informací z videopaměti při zobrazování. Hodnota je čtrnáctibitová a do registru R13 se nahrává osm méně významných bitů této hodnoty.

Registry R14 a R15 - Tato dvojice registrů je přístupná pro zápis i pro čtení a obsahuje adresu polohy kurzoru v rámci videopaměti. Hodnota je opět čtrnáctibitová a do registru R15 se opět nahrává osm méně významných bitů této hodnoty.

Registry R16 a R17 - Tato dvojice registrů je určena pouze pro čtení a v případě použití světelného pera se do této dvojice ukládá adresa paměti videoram při níž byla indikována náběžná hrana signálu na vstupu LPSTB. Hodnota je opět čtrnáctibitová a osm méně významných bitů je čteno z registru R17.

## 3.2. Řídící registr adaptéru HGA (adresa 3B8 HEX).

Tento výstupní port řídí módy činnosti adaptéru. Význam jednotlivých bitů tohoto portu:

bit	význam bitu registru na adrese 3B8 HEX
D0	nepoužit
D1	0 = textový mód (po resetu) 1 = grafický mód (kdykoliv se mění mód, je nutné přeprogramovat M6845 a nastavit konfigurační registr na 3BF)
D2	nepoužit
D3	0 = zatmění stínítka 1 = aktivace stínítka, povolení videa; stínítko je nutné zatmívat při programování M6845
D4	nepoužit
D5	0 = zakazuje blikání znaků (nastaveno po resetu) 1 = povoluje blikání znaku, neovlivňuje blikání kurzoru; znak bliká, je-li v jeho atributu příznak blikání
D6	nepoužit
D7	0 = grafická stránka 0 (nastaveno po resetu) 1 = grafická stránka 1, pro změnu stránky je nutno nastavit konfigurační registr na adrese 3BF

## 3.3. Stavový port adaptéru HGA (adresa 3BA).

Tento vstupní port umožňuje číst některé informace adaptéru HGA. Význam jeho bitů je následující:

bit	význam bitu přečteného z adresy 3BA
D0	HS 0 = normální běh paprsku 1 = horizontální synchronizační impuls
D1	nepoužit
D2	nepoužit
D3	VID 0 = není svítící bod (video) 1 = je svítící bod
D4	nepoužit
D5	nepoužit
D6	nepoužit
D7	VS* 0 = impuls vertikální synchronizace 1 = normální běh paprsku

### 3.4. Konfigurační registr adaptéru HGA (adresa 3BF).

Tento výstupní registr je přidáván na nové adaptéry typu Hercules po negativních zkušenostech s těmi adaptéry, které ho neměly. Adresace grafické paměti RAM na desce HGA totiž zasahuje do adresového prostoru desky CGA (barevného adaptéru). Od adresy B8000, kde má HGA paměť druhé grafické stránky. Proto konfigurační registr blokuje po zapnutí, až do nastavení ty bity řídicího registru, které jsou odlišné od řídicího registru adaptéru MDA.

bit   význam bitu zapsaného na adresu 3BF	
D0	0 = po zapnutí, zabraňuje nastavení bitu D1 řídicího registru, neboli nastavení grafického módu
	1 = povoluje nastavení D1 - grafického módu
D1	0 = (po zapnutí) maskuje stránku P1 a zabraňuje nastavení bitu D7 ( Page 1) řídicího registru
	1 = začleňuje adresový prostor B8000 - BFFFF do adres adaptéru HGA a povoluje nastavit DT (Page1)

### 3.5. Porty tiskárny.

Na adaptérech Hercules obvykle bývá ( stejně jako na adaptéru MDA ) port pro tiskárnu. Tiskárna je na adresách :

3BC Printer Data Port  
 3BD Printer Status Port  
 3BE Printer Control Port

POZOR: Na popisovaném adaptéru HGA port pro tiskárnu není !!!

### 3.6. Textový mód.

V textovém módu pracuje videopaměť RAM na desce HGA v rozsahu 4KByte od adresy B0000 až B0FFF neboli 4Kbyte. Ve skutečnosti je to jenom 4000 byte, z toho 2000 byte kódů znaků a 2000 byte atributů znaků, protože je zobrazení ve formátu 80 x 25 znaků. V paměti RAM jsou kódy znaků uloženy jako rozšířený kód ASCII a před zobrazením na stínítku jsou převedeny pomocí generátoru znaků ( paměť EPROM) do svítících a nesvítících bodů. Všechny kódy pro znaky jsou uloženy v paměti souvisle za sebou, a to vždy znak a za ním atribut. Na sudých adresách ( B0000, B0002 .. atd.) jsou uloženy znaky a na lichých ( B0001, B0003 ..atd.) jsou uloženy atributy. Atribut je příznak způsobu zobrazení pro každý znak. Význam jeho bitů je následující:

bit	D7	D6	D5	D4	D3	D2	D1	D0	znak
B	0	0	0	I	0	0	0	zatměný	
B	0	0	0	I	0	0	1	podtržený	
B	0	0	0	I	1	1	1	normální	
B	1	1	1	I	0	0	0	inversní	

Kde: I = 0 normální jas znaku  
I = 1 zvýšený jas znaku

Zdánlivě nelogické uspořádání kódování po skupinách bitů D0 až D2 a D4 až D6 vychází z požadované kompatibility s adaptérem CGA kde v bitech D0 až D2 je barva popředí a v bitech D4 až D6 barva pozadí znaku.

Význam bitu B (Blink Enable) je dvojí v závislosti na stavu bitu D5 v řídicím registru.

Podle bitu D5 = povolení blikání v řídicím registru		
D5=0	B=0 normální intenzita pozadí znaku	B=1 zvýšená intenzita pozadí znaku
D5=1	B=0 znak nebliká	B=1 znak bliká

### 3.7. Grafický mód.

Jak již bylo řečeno, 64 Kbyte videoram na adaptéru HGA je rozděleno na dvě stránky P1 a P2. V paměti je tedy obsah dvou grafických stínítek obrazovky. Grafika je "bitová", to znamená, že se každý bit jednoho byte zobrazuje jako svítící bod, je-li bit jedničkový a jako nesvítící, je-li nulový. Problém grafického zobrazení s řadičem Motorola 6845 je v tom, že tento řadič umí jen alfanumerický mód. Z řadiče je generována pomocí výstupů RA0 až RA3 čtyřbitová adresa, která udává číslo linky znaku. Například v textovém módu je to číslo linky 0 až 13 pro znak v rastru 8x14. Konstrukteři desky HGA (a předtím podobně i konstrukteři desky CGA) si pomohli u HGA tak, že naprogramovali Motorolu 6845 práci se znakem o 4 obrazovkových řádcích. Informace z RAM, byte po byte, pak nejde na vstup generátoru znaků jako u textového módu, ale přímo do posuvného registru videa. Při každé televizní lince se takto zobrazí 90 byte, neboli 720 bodů. Potom se v řadiči M6845 zvýší číslo linky na jedničku a zobrazí se další obrazový řádek. To se opakuje i pro čísla linky 2 a 3. Z řadiče M6845 vycházejí tedy postupně čísla linek 0,1,2,3; 0,1,2,3 .. atd. Čísla linek jsou pak použita pro adresování čtyř bloků 8 Kbyte. Každý blok obsahuje jednu čtvrtinu

stínítka. Z každé čtvrtiny je využito  $90 \times (348:4) = 90 \times 87 = 7830$  byte. Serie 90 byte se pak bere postupně z prvního, druhého, třetího a čtvrtého bloku. Právě díky dělení na čtvrtiny je celkový počet linek 348, místo obvyklých 350 (EGA). Z celkové paměti zbývá v každé čtvrtině určitá část, například B1E96 až B1FFF u první, která se nezobrazuje, ale je pro počítač dostupná. Paměť RAM pro grafiku je organizována takto:

Page	adresa HEX	poloha na stínítku
Page 0	B0000-B1E95	linky 0,4,8,...344
	B2000-B3E95	linky 1,5,9,...345
	B4000-B5E95	linky 2,6,10,...346
	B6000-B7E95	linky 3,7,11,...347
Page 1	B8000-B9E95	linky 0,4,8,...344
	BA000-BBE95	linky 1,5,9,...345
	BC000-BDE95	linky 2,6,10,...346
	BE000-BFE95	linky 3,7,11,...347

### 3.8. Generátor znaků na desce HGA.

Generátor znaků je realizován pamětí ROM nebo EPROM. Každý znak potřebuje 14 byte této paměti, protože znak se kreslí ze čtrnácti linek. Pro jednodušší přístup do generátoru znaků je výhodné rezervovat pro každý znak 16 byte paměti. Generátor znaků musí mít ( pro 256 různých znaků ) kapacitu  $16 \times 256 = 4096$  byte. U většiny desek ze zahraničí je použita paměť ROM se zapojením vývodů stejným jako mají EPROM 2732.

Uspořádání informací v paměti ROM a nebo EPROM je zajímavé tím, že v ní není 14 linek na adresách za sebou, ale v první polovině (2Kbyte) je vždy osm prvních linek každého znaku, a v druhé polovině (2Kbyte) je zbývajících 6 významných linek a dva nevýznamné byte doplňující celkový počet na 16. Toto neobvyklé uspořádání generátoru znaků vzniklo asi snahou zachovat možnost kreslení znaků v rastru 8x8 bodů.

Každý znak je zobrazen v textovém módu v rastru 9 bodů horizontálně a 14 bodů vertikálně ( linky jsou číslovány čísly 0 až 13 ).

Poloha blikajícího kurzoru a jeho šířka je určena naprogramováním obvodu M6845. V HGA se programuje tak, že kurzor bliká přes linku č.11 a 12, neboli kurzor je dvoulinkový.

Podtržení znaku (Underline - volitelné atributem) je umístěno na linku č.12.

Znaky písmen a číslic jsou v rámci matice 9x14 bodů kresleny v matici 7x9 bodů. Existuje však skupina "grafických znaků", která využívá celou matici 9x14 bodů.

Pro příklad uspořádání generátoru znaků uveďme písmeno malé "y". V první polovině ROM je zakódováno od adresy 3C8 HEX takto:

00, 00, 00, 00, 00, 63, 63, 63

a v druhé polovině od adresy BC8 HEX takto:

63, 7F, 03, 06, 3C, 00, XX, XX

Nakreslíme-li tento znak tak, jak bude vidět na stínítku obrazovky, získáme přehled o uspořádání generátoru znaků:

	1	2	3	4	5	6	7	8	HEX
1	.	.	.	.	.	.	.	.	00
2	.	.	.	.	.	.	.	.	00
3	.	.	.	.	.	.	.	.	00
4	.	.	.	.	.	.	.	.	00
5	.	.	.	.	.	.	.	.	00
6	.	*	*	.	.	.	*	*	63
7	.	*	*	.	.	.	*	*	63
8	.	*	*	.	.	.	*	*	63
9	.	*	*	.	.	.	*	*	63
10	.	*	*	*	*	*	*	*	7F
11	.	.	.	.	.	.	*	*	03
12	.	.	.	.	.	*	*	.	06
13	.	.	*	*	*	*	.	.	3C
14	.	.	.	.	.	.	.	.	00

Další neobykllost generátoru znaků je v tom, že ROM o šířce 8 bitů ( jeden byte ) umožňuje kreslit znaky o šířce 9 bodů. Je to umožněno tím, že pro grafické znaky s kódy B0 až DF HEX platí toto pravidlo:

Osmý bod je automaticky zkopírován do devátého.

### 3.9. Další vlastnosti HGA

Hodinová frekvence, neboli frekvence, kterou se vysouvá videoinformace z posuvných registrů do monitoru je u adaptéru Herkules 16MHz.

Při zápisu dat do videopaměti adaptéru nesmí docházet ke kolizi mezi operacemi pro monitor ( čtení z RAM pro obvody videa ) a operacemi pro počítač ( zápis a čtení dat z RAM ). Splnění této podmínky není jednoduché.

Při práci v textovém módu to znamená umět třikrát přistoupit k paměti RAM v časovém intervalu jednoho znaku ( asi 560 ns ).

Jednou pro čtení znaku k zobrazení.

Jednou pro čtení jeho atributu.

Jednou pro čtení a nebo zápis počítače.

V grafickém módu tento problém není, protože se již nečte atribut, a stačí mít možnost přistoupit k paměti dvakrát.

#### 4. Členění dokumentace desky HGA.

- List 152-00500-2 zobrazuje osazenou desku plošného spoje.
- Schema desky je na čtyřech listech 152-00501-4.

#### 5. Popis listu 152-00500-2, deska HGA osazená.

Na osazené desce HGA je 67 integrovaných obvodů. Deska je dlouhého formátu a při zasunutí do počítače je vedena vodičkem na zadní straně předního panelu. Vlevo jsou dvě řady paměťových čipů 64 Kbit. Vpravo od pamětí jsou obvody, které zpracovávají data z paměti RAM a vytvářejí z těchto dat videosignál. Nad těmito obvody je paměť EPROM 2764, ve které je generátor znaků. Pod osmi odpory, uprostřed desky, je časová základna, která s krystalem řízeného oscilátoru o frekvenci 16MHz vytváří potřebné řídicí signály pro celou desku. Vpravo nahoře je řadič obrazovky, obvod Motorola 6845 ( CM607 z BLR ), který generuje adresy pro RAM a synchronizační a zatmívací signály pro řízení monitoru. Pod řadičem jsou obvody pro komunikaci adaptéru se sběrnici počítače PC16NB. Vpravo nahoře, na okraji desky, je devítipólová zásuvka, ( maminka ) typu Dsub Cannon, do které se zasazuje konektor kabelu monitoru.

#### 6. Popis listu 152-00501-4 HGA schema (časová základna).

Jak bylo řečeno, deska HGA klade vysoké nároky na rychlost všech obvodů. Je to proto, že hodinová frekvence je poměrně vysoká (16MHz), a také proto, že je nutné pracovat velice rychle s pamětí RAM. Do paměti RAM se musí přistoupit až třikrát za interval jednoho znaku, což je asi za 560 ns. Proto je časová základna vyřešena tak, aby veškeré časování bylo co nejméně závislé na zpoždění použitých integrovaných obvodů. Základem časové základny je paměť PROM 74188 IO35.

Základní hodinová frekvence 16MHz je generována krystalem řízeným oscilátorem. Zapojení je standardní a stejné je použito i na deskách WS-16, DMA a ZNET. Zde pracují jako zesilovače oscilátoru hradla LS37 IO42. Hradla S02 IO41 a LS37 IO42/11 pracují jako zesilovače výstupní frekvence oscilátoru.

Z hodinové frekvence 16 MHz jsou odvozeny tyto signály:

- signál CLKSR ( Clock Shift Registrs ), neboli hodiny posuvných registrů. CLKSR slouží jako hodiny tří posuvných registrů LS166, které přenášejí do obvodů videa data přečtená z paměti.
- signál 16MHz vede do hodin synchronního binárního čítače LS163 I036, do hodin registrů S175 I033 a 34 a do hodin dvou klopných obvodů typu JK - S112 I040.
- signál 16MHz tvoří také hodiny DOTCK (Dot Clock), neboli hodiny zobrazovaných bodů na stínítku obrazovky, který vede do dvou klopných obvodů S74. Tyto klopné obvody synchronizují signál videa a intenzity před výstupem do monitoru

#### 6.1. Způsob tvorby videosignálu pro monitor.

Jak již bylo řečeno, adapter umí pracovat v textovém a grafickém módu. V textovém módu, kdy je jedna linka znaku sestavena z devíti bodů, musí být na jeden znak 9 posuvných impulsů hodin pro posuvný registr videa.

V grafickém módu, kdy se z adaptéru HGA vysunuje 16 bodů videa, musí být na jedno přečtení paměti RAM šestnáct posuvných impulsů hodin. Pro dosažení vysoké rychlosti vyčítání informace z paměti RAM je paměť totiž uspořádána jako 16 bitová.

Čítač LS163 I036 má paralelní vstupy A,B,C a D pro synchronní paralelní nahrání nového stavu. Tři vstupy, A,B a C jsou připojeny na inverzi signálu GR (Grafika). Je-li textový mód, signál GR = 0 a na paralelních vstupech A,B,C jsou jedničky. Na vstupu D je trvale nula. Čítač je tedy připraven k naplnění číslem 7. Čítač se naplňuje synchronně, při náběhu hodin CLK, je-li na jeho vstupu LOAD\* nula. Na vstup LOAD\* je přivedena inverze výstupu čítače RCO. Výstup označený jako RCO je v jedničce, je-li obsah čítače roven 15 ( 1111 binárně). Po dosažení patnáctky se tedy čítač znovu naplní. V textovém módu se čítač po dosažení čísla 15, znovu naplní číslem 7. Čítač v textovém módu dělí vstupní frekvenci 16 MHz devíti a jeho postupný obsah je:

7,8,9,10,11,12,13,14,15, 7,8,9,...

V grafickém módu je signál GR = 1 a na vstupech A,B,C,D čítače LS163 jsou nuly. Čítač se tedy po stavu 15 naplní nulami. Čítač v grafickém módu dělí vstupní frekvenci 16 MHz šestnácti a jeho postupný obsah je:

0,1,2,3,4,5,6,7,8,9,10,11,12,13,14,15, 0..



Protože čítač má jisté zpoždění, za které se od náběžné hrany hodin objeví změněná úroveň na výstupech QA,B,C a D, je obsah čítače ještě přepisován do rychlého registru S175 I037. Hodiny CLK tohoto registru jsou shodné s hodinami čítače LS163. Tím je eliminováno velké zpoždění LS163. Z výstupů tohoto registru již přichází informace na vstupy An paměti PROM 74188. Signály jsou na schematu přeházeny, protože vedení spojů je podřízeno jednoduchosti plošného spoje.

## 6.2. Zapojení časové základny.

Paměť PROM 74188 má kapacitu 32 byte, neboli má 5 adresových vstupů a 8 výstupů. Na jeden její vstup A2 je připojen signál GR\*. Je-li grafika, pracuje jedna polovina PROM ( 16 adres ) a je-li textový mód, pracuje druhá polovina ( 16 adres ).

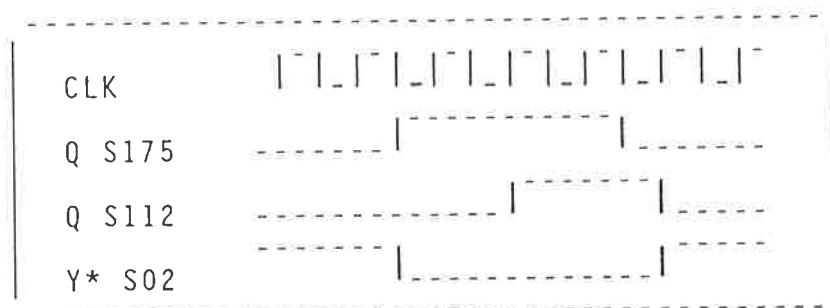
V každé polovině jsou naprogramována data tak, aby byly podle stavů čítače ( 7 až 16 nebo 0 až 15 ) generovány potřebné signály. Úkolem časové základny je vyrobit tyto signály:

- CLK6845. Hodiny řadiče Motorola 6845, které musí přijít na konci času pro zobrazení devíti bodů znaku, nebo na konci času pro zobrazení šestnácti bodů grafiky.
- CCLK hodiny pro vzorkování dat z paměti RAM do registrů videoobvodů. CCLK je inverzí signálu CLK6845.
- LOAD\* , signál pro naplnění posuvných registrů videa. Signál LOAD\* trvá jednu periodu hodin 16MHz. Signál musí přijít těsně předtím, než se z paměti RAM vyčte do registrů videoobvodů nová informace.
- RAS\*, MUX a CAS\* signály pro časování dynamických pamětí RAM 64Kbit. Signály známé již z popisu desky WS-16.
- RDSTB ( Read Strobe ) signál pro hodiny registrů, které převádějí informaci z RAM na sběrnici pro procesor.

Obsah paměti PROM I035 je nepřehledný, protože jsou proházeny jeho vstupy, a proto ho nebudeme uvádět. Výstupy paměti PROM ( otevřené kolektory ) jsou ošetřeny odpory R13 až R19. Informace z výstupů se opět zapamatovává do rychlých registrů S175 I033 a I034. Až potud je zapojení časové základny zcela běžné a pochopitelné.

Pro účely generování signálů RAS\* a CAS\* pro paměti na desce HGA však nebylo možné vystačit s časováním po periodě hodin 16MHz, to je po intervalech 62,5 ns. Některé intervaly potřebovaly časování s kvantováním po 30 ns, neboli by vyžadovaly frekvenci hodin 32MHz. To by ovšem nestihla paměť PROM 74188. Proto bylo použito zvláštní zapojení, umožňující jemnější volbu časových intervalů. Za registrem S175 I034 jsou ještě dva klopné obvody typu J-K. Jak víme tyto obvody překlápějí na opačnou

hranu hodin ( na doběh ), než klopné obvody typu D v obvodu S175. V registru S175 se vytvářejí ty časové intervaly, které jsou synchronní s náběhem hodin a v klopných obvodech J-K zase ty, které jsou synchronní s doběhem hodin. Takto vygenerované intervaly se pak sečtou pomocí hradel NOR S02 IO41. Ukážeme si to na příkladu:



Z obrázku vidíme, že výstupní signál z hradla S02 začíná s náběžnou hranou hodin a končí s doběhovou hranou hodin. Tím je dosaženo dvojnásobně jemnějšího časového dělení výstupních signálů časové základny tam, kde je to třeba.

Jednotlivé výstupy paměti PROM jsou použity takto:

PROM	S175	signál
Q1	I033 Q3	MUX přepíná adresy pro RAS* a CAS*
Q2	I033 Q4*	LOAD* naplnění posuvných registrů
Q3	I033 Q2	CLK6845 hodiny řadiče
	Q2*	CCLK hodiny registrů videoobvodů
Q4	I033 Q1	nepoužito
Q5	I034 Q3	CAS* ( s náběhem hodin )
Q6	I034 Q1	vstup J IO40A ( RAS* s doběhem hodin )
	Q1*	vstup K IO40A ( RAS* s doběhem hodin )
Q7	I034 Q4	RAS* ( s náběhem hodin )
Q8	I034 Q2	vstup J IO40B ( CAS* s doběhem hodin )
	Q2*	vstup K IO40B ( CAS* s doběhem hodin )

Z výstupů Q6 a Q8 se informace nejprve přepíše do registru S175 a potom teprve přijde na vstupy J-K klopných obvodů S112. Hradlo S02 IO41D vytváří signál RAS\*. Do paměti RAM jde RAS\* přes odpor R9 39 ohm a jde ještě na vstup A dekodéru 8205 IO46. Hradlo S02 IO41B vytváří signál CAS\*, který jde do paměti RAM přes odpor R10 39 ohm.

### 6.3. Přístup procesoru k videopaměti RAM HGA.

Vlevo jsou synchronizační klopné obvody, které synchronizují přístup procesoru k videopaměti RAM adaptéru HGA. Náběžnou hrannou signálu CCLK se vzorkuje do klopného obvodu ALS74 IO50/9 stav signálu MSEL\* ( Memory Select = paměť RAM vybrána ). Je-li vybrána paměť na desce HGA, klopný obvod se nastaví do nuly. Na jeho výstupu Q\* IO50B/8 vznikne jedničkový signál CPU ( Central Processor Unit ), což znamená, že procesor žádá přístup do paměti. Druhý klopný obvod ALS74 je dosud ještě nastaven tak, že má na výstupu Q jedničku, protože do té doby byl nastavován nulou na vstupu S\* kam jde inverze MSEL\*. Není-li vybrána paměť je MSEL\* = 1 a S\* IO50A/4 = 0. Na výstupu Q\* druhého klopného obvodu je tedy připravena nula a ta začne po příchodu MSEL\* = 0 procházet přes třívstupové hradlo IO60C/8 na sběrnici jako RDY v nule. Je-li RDY v nule procesor čeká ve stavu WAIT. Teprve když se nula přepíše s náběhem hodin CLK6845 do druhého klopného obvodu, na jeho Q\* se objeví jednička a signál RDY přejde také do jedničky. Procesor se dočkal zpracování požadavku a ukončí signál MSEL\*. Tímto způsobem se procesor synchronizuje s časovou základnou adaptéru HGA.

Výstup hradla AND LS37 IO42/8 nuluje druhý registr časové základny S175 IO34. Tento registr generuje signály RAS\* a CAS\* a není-li signál CPU nemusí se generovat signály RAS\* a CAS\* příslušící časově k přístupu procesoru. Teprve až se objeví CPU = 1 a tím CPU\* = 0 ( Q ALS74 IO50B/9 = 0 ), registr S175 IO34 přestane být nulován a generují se RAS\* a CAS\* pro procesor. Aby nebyl registr nulován i v době, kdy musí paměť pracovat pro zobrazování, vede na druhý vstup hradla NAND IO42/10 signál CCLK, který ruší nulování registru v době, kdy CCLK je na nule.

### 6.4. Multiplexování adres RAM.

Dekodér 3205 IO46 vytváří řídicí signály pro multiplexaci adres dynamických pamětí RAM. Nejen, že je nutné multiplexovat spodní a horní poloviny adresových signálů pro RAS\* a CAS\* pamětí, ale také je nutné připínat k paměti RAM adresy vycházející z řadiče Motorola 6845 a z adresní sběrnice procesoru. Proto dekodér vyrábí čtyři signály"

signál	význam
CRTRA*	adresa z řadiče M6845 při RAS*
CRTCA*	adresa z řadiče M6845 při CAS*
CPURA*	adresa z procesoru při RAS*
CPUCA*	adresa z procesoru při CAS*

Činnost dekodéru je řízena signály:

- na vstupu A0 signálem RAS\*
- na vstupu A1 signálem MUX
- na vstupu A2 signálem CPU

Dekodér musí být rychlý, a proto je použit obvod MH3205 (8205) jako náhrada za obvod 74S138.

## 7. Popis listu 152-00501-4 HGA schema (řízení paměti).

Vlevo dole je obvod Motorola 6845 IO49 - řadič obrazovky (CRT Controller). Ke vnitřní datové sběrnici je připojen přes vstupy BD0 až BD7. Protože je to obvod z rodiny obvodů okolo mikroprocesorů Motorola 6800, má trochu jiné funkce vývodů. Popišme si tedy funkci vývodů tohoto obvodu:

Rozhraní s procesorem	
název	funkce
CS*	výběr (Chip Select)
RS	výběr registrů 0 = Index, 1 = data
E	Enable, speciální hodiny pro obvody 68XX
CLK	hodiny s periodou znaku na obrazovce
LPSTD	připojení světelného pera (nepoužito)
RESET*	nulování
W*	v nule zápis - v jedničce čtení
D0-D7	data pro programování a čtení registrů

Signál E je speciální pro obvody M6845 a je ho nutné vyrobit inverzí a potom zpožděním náběžné hrany řídicích signálů IOR\* a IOW\*.

Signál RS, výběr registrů se připojuje na A0, jako u obvodů rodiny Intel

Rozhraní s CRT	
název	funkce
MA0 - MA13	adresy RAM při zobrazování
RA0 - RA4	adresy linky znaku (max. znak ze 16 linek) adresující řádky generátoru znaků
DE	Display Enable, vlastně povolovací signál videa, opak Blank - zatmívání
CURSOR	signál aktivní v poloze kde má být na stínítku kurzor
HS	horizontální synchronizační impuls
VS	vertikální synchronizační impuls

### 7.1. Paměť RAM 64 Kbyte.

Na schema vpravo je 16 paměťových čipů - RAM 64 Kbyte. Jak již bylo řečeno adaptér HGA má mít dvě paměťové stránky po 32 Kbyte. Bylo by možné použít místo čipů 64 Kbit i čipy 16 Kbyte (typ 4516 s napájením +5V), ale pak nebude mít HGA dvě stránky, což by mohlo při některých programech vadit. S paměťovými čipy 64 Kbyte má zase HGA dvakrát větší kapacitu RAM (128 Kbyte), než je třeba. Deska HGA do PC16NB tak umožňuje zobrazit až 4 grafické stránky, ale to většina programů neumí. Použití paměti o šířce 16 bit bylo nutné, protože dostupné paměti jsou pomalé. Zahraniční desky HGA to buď "stíhají" s osmi paměťmi 64 Kbit a nebo mají pro atributy speciální rychlou statickou paměť RAM o kapacitě 2 Kbyte.

Paměť RAM je organizována pro procesor jako paměť o šířce 1 byte a pro zobrazení jako paměť o šířce 2 byte. Datová sběrnice paměti RAM je označena jako MD0 až MD15. Čte se v ní v textovém módu kód znaku i atribut najednou a v grafickém módu 16 bitů pro 16 bodů najednou. Signály RAS\* a CAS\* jsou pro všechny paměti společné. Signály povolení zápisu WEL\* (Write Enable Low) a WEH\* (High) jsou rozděleny, protože procesor zapisuje jen jeden byte.

## 7.2. Signály z řadiče M6845.

Obvod Motorola 6845 generuje adresy paměti na svých výstupech MA0 až MA11. U HGA nejsou výstupy MA12 a MA13 využity. Dvanáct použitých adres MA0 až MA11 adresuje 4K po 16 bitech paměti RAM, neboli 8Kbyte. Pro zobrazení jedné grafické stránky jsou potřeba čtyři takové bloky. Hradla AND ALS08 I053 pracují jako přepínače adresových signálů pro textový a grafický mód. Adresy MA0 až MA10 ( jedenáct adres ) jdou z řadiče přímo do obvodů multiplexeru adresy. Adresa MA11 a adresy linek RA0 a RA1 vedou do přepínače adres. Přepínač je řízen signálem GR. Podívejme se na následující tabulku:

výstupy hradel	při GR = 0	při GR = 1
ALS08 I053/3	0	MA11
ALS08 I053/6	0	RA0
ALS08 I053/11	0	RA1

Z tabulky je vidět, že při textovém módu se vyšší adresy nemění a jsou nulové. Je tedy adresována paměť 4Kbyte a to pevně její první část od B0000 do B0FFF ( ze strany procesoru ) a podle adres MA0 až MA10 2K 16 bit ze strany adaptéru.

Další signály patřící k řadiči M6845 jsou popsány u popisu listu č.4, kde vznikají.

## 7.3. Multiplexer adres.

Nyní se podívejme na multiplexer adres. Jeho přepínání je řízeno signály, o kterých jsme již hovořili u listu č.1. Paměťové čipy 64Kbit mají 8 adresových vstupů A0 až A7 a k nim jsou připojeny výstupní signály multiplexeru adres nazvané RA0 až RA7. Následující tabulka znázorňuje funkci multiplexeru:

Adresy RA n.

n	procesor CPU		zobrazení CRT	
	při CPURA*	při CPUCA*	při CRTRA*	při CRTCA*
0	BA1	A8	MA0	MA7
1	BA2	A9	MA1	MA8
2	BA3	A10	MA2	MA9
3	A4	A11	MA3	MA10
4	A5	A12	MA4	0 / MA11
5	A6	A13	MA5	0 / RA0
6	A7	A14	MA7	0 / RA1
7	A15	A16*	P1	P2

Poznámky:

- A16\* je invertovaný signál A16
- P1 a P2 jsou signály Page 1 a Page 2 ( stránky )
- 0/MA11 znamená: textový/grafický mód

Multiplexer je realizovaný pomocí obvodů LS244 a adresy jdou do pamětí přes tlumicí odpory o hodnotě 39ohm.

Signály DE, CURSOR, HS a VS z řadiče Motorola 6845 jsou zpožďovány registrem LS174 IO39 o jeden takt hodin CCLK.

Signál DE je zpožděn dvakrát, přičemž jednou zpožděný je označen jako DEN. Z dvakrát zpožděného signálu DE a ze signálu DEN je vyroben signál VCLR ( Video Clear - nulování videoobvodů ), pomocí hradla ALS32 IO25/8. Signál VCLR\* začíná po skončení jedničky na Q1 IO39/2 a končí po objevení se jedničky na Q2 IO39/5. Podívejme se na časový diagram:



Ostatní signály jsou zpožděny jednou a nazývají se jako Delay-zpožděné ( CURSD, HSD, VSD).

Registr také zpožďuje o jeden takt hodin CCLK signál 9B ( devátý bit ) a ten se pak nazývá SI ( Shift Register Input ). Tento bit prodlužuje generátor znaků na devět bitů při grafických znacích.

## 8. Popis listu 152-00501-4 HGA schéma (obvody videosignálu).

Toto schéma si můžeme rozdělit na dvě části. V levé polovině jsou zesilovače LS244 a registry LS374 ( které rozdělují sběrnici MD0 až MD15 na sběrnici pro procesor BD0 až BD7 a sběrnici dat pro videoobvody AT0 až AT7 a C0 až C7 ). V pravé polovině jsou obvody vytvářející z dat seriovou informaci, které u adaptérů pro displeje říkáme videosignál.

## 8.1. Dekodér LS 155.

Základem obvodů pro spolupráci se sběrnici procesoru je dekodér LS155 I023. Ten obsahuje dva dekodéry 1 ze 4. Jeden ze čtyř výstupů je volen vstupy A a B. Jedna polovina je povolována vstupy 1G\* a 1C a druhá vstupy 2G\* a 2C\*. Vstup B funguje v tomto zapojení také jako povolovací, protože musí být pro aktivaci výstupů v nule. Z výstupů jsou totiž použity vždy jen dva nižší Y0 a Y1. Jednotlivé výstupy dekodéru LS155 si můžeme označit takto:

výstup	vývod	název	funkce
1Y0	I023/7	REL*	čtení nižšího byte
1Y1	I023/6	REH*	čtení vyššího byte
2Y0	I023/9	WEL*	zápis nižšího byte
2Y1	I023/10	WEH*	zápis vyššího byte

Jednotlivé výstupy dekodéru jsou aktivní v nule při splnění těchto podmínek:

signál	výstup	BA0	MSEL*	BMR*	BMW*	CPU*
REL*	1Y0	0	0	0	1	X
REH*	1Y1	1	0	0	1	X
WEL*	2Y0	0	0	1	0	0
WEH*	2Y1	1	0	1	0	0

- BA0 je zesílený signál A0 sběrnice
- MSEL\* je signál výběru paměti
- BMR\* je zesílený signál čtení z paměti
- BMW\* je zesílený signál zápisu do paměti
- CPU je synchronizační signál přístupu CPU do paměti
- X je logická úroveň, na které nezáleží

Signál REL\* otevírá třístavové výstupy registru LS374 I017 na sběrnici BDO až BD7 při čtení do procesoru. Předtím byla do tohoto registru uložena informace ze sběrnice paměti MD0 až MD7 pomocí hodinového signálu RDSTB.

Signál REH\* otevírá třístavové výstupy registru LS374 I020 na sběrnici BDO až BD7 při čtení do procesoru. Předtím byla do tohoto registru uložena informace ze sběrnice paměti MD8 až MD15 pomocí hodinového signálu RDSTB.



Signál ~~WEL\*~~ slouží jako povolovací signál zápisu do spodního byte RAM, přičemž současně otevírá třístavový zesilovač LS244 IO18, a tím na datovou sběrnici paměti MD0 až MD7 připíná data ze sběrnice BD0 až BD7.

Signál WEH\* slouží jako povolovací signál zápisu do horního byte RAM, přičemž současně otevírá třístavový zesilovač LS244 IO21 a tím na datovou sběrnici paměti MD8 až MD15 připíná data ze sběrnice BD0 až BD7.

## 8.2. Textový mód obvodů videosignálu.

V textovém módu se čte ze spodního byte paměti RAM kód znaku a z horního byte paměti se čte atribut znaku:

MD7	MD6	MD5	MD4	MD3	MD2	MD1	MD0
C7	C6	C5	C4	C3	C3	C1	C0

MD15	MD14	MD13	MD12	MD11	MD10	MD9	MD8
AT7	AT6	AT5	AT4	AT3	AT2	AT1	AT0

Kód znaku se uloží do registru LS374 IO19 současně s náběhem hodin CCLK. Z výstupů tohoto registru přichází kód znaku C0 až C7 na adresové vstupy A3 až A10 generátoru znaků, paměti EPROM 2764 IO24. V generátoru znaků se kód znaku překládá na informaci, která rozsvěcuje jednotlivé body rastru znaku na obrazovce.

Generátor znaků má spodní tři adresové vstupy připojeny na L0 až L2, což jsou výstupy RA0 až RA2 řadiče M6845 a tyto signály udávají číslo linky znaku, která se zobrazuje. Signál L3 (RA3) je připojen na adresu A11, a proto je generátor znaků rozdělen na dvě části - jednu pro prvních osm linek a druhou pro dalších šest linek (viz. 3.10).

Do adresového vstupu A12 generátoru znaků jde signál FONT, který přichází z registru módu HGA a umožňuje volit soubor zobrazovaných znaků (jeden ze dvou) neboli tak zvaný Font. To umožňuje například existenci ruštiny a češtiny v generátoru znaků najednou. Originální adaptéry HGA tuto možnost nemají.

~~Hradlo ALS10 I027/8~~ dekoduje signály čísla linek a na jeho výstupu je nula když:

$L0 = 0$  a  $L2 = 1$  a  $L3 = 1$ ,

neboli při lince 12 (linka 14 již neexistuje). Tento signál slouží pro zobrazení atributu podtržení a nazývá se UL\* (Underline).

Hradla ALS10 I027/12, ALS32 I029/11 a ALS04 I043/2 dekodují z kódu znaku - bitů C5, C6 a C7 a z výstupu generátoru znaků I024/11 skupinu grafických znaků, u kterých se bude osmý bit přepisovat do devátého (viz 3.10). Jsou to znaky s kódy B0 až DF HEX mající C5 = 0 a C7 a C6 = 1 a současně osmý bit v jedničce. Vzniklý signál 9B se potom na listu č.2 zpozdí o jeden takt hodin CCLK a je veden jako signál SI do vstupu SER posuvného registru LS166 I026/1.

Posuvný registr LS166 I026 se paralelně plní při signálu LOAD\* informací na výstupech paměti EPROM a potom se tato informace seriově vysunuje v taktu hodin CLKSR z výstupu QH registru ven. Výstupní signál QH registru již představuje seriovou informaci o bodech které mají na obrazovce svítit. Protože na jeden znak je devět posuvných impulzů hodin CLKSR, vysune se i informace SI na vstupu SER registru jako devátý bit.

Atributy se zpracovávají zcela odděleně. Při přečtení z paměti se zapíše do registru LS374 I022. Potom jdou atributy do první paměti PROM, která předdekóduje jednotlivé bity atributů a signál podtržení UL\* podle tabulky uvedené v paragrafu 3.8. Předdekódované informace potom postupují na druhou paměť PROM kde se k nim přidají tyto signály:

- signál F1, signál který určuje rytmus blikání kurzoru na obrazovce. Vznikne dělením frekvence VSD čítačem LS393 I038/8. Dělicí poměr je 16, neboli kurzor bliká frekvencí 50Hz/16.
- signál F2, signál který určuje rytmus blikání znaku na obrazovce. Vznikne dělením frekvence VSD čítačem LS393 I038/3. Dělicí poměr je 32, neboli znak bliká frekvencí 50Hz/32.
- signál CURSD, neboli signál, který oznamuje, že se kreslí znak pod nímž má být kurzor.
- signál EB z registru módu, který povoluje blikání znaku.

Druhá paměť PROM S571 I032 vyrobí z těchto signálů následující nové signály, které se zapamatují do registru LS163 I030. Registr je nulován, není-li aktivní signál DEN. Vzniklé čtyři signály pak vedou na vstupy multiplexeru s 153 I028:

FI	Foreground Intensity	intenzita popředí
BI	Background Intensity	intenzita pozadí
F	Foreground	popředí
B	Back	pozadí

Pro monitor jsou potřeba dva signály - video a intenzita. Signál video nese informaci o tom, který bod svítí, a který ne-svítí a signál intenzita nese informaci o tom, který bod má mít vyšší intenzitu svícení a který ne. Tyto dva signály se získávají pomocí multiplexeru S153 I028. Na jeho vstup A vede výstup QH posuvného registru LS166 I026/13. Logická úroveň na tomto vstupu přepíná vstupy multiplexeru 1C0-1C1 a 2C0-2C1. Vstupy 1C2-1C3 a 2C2-2C3 multiplexeru se neuplatní, protože v textovém módu je vstup B na nule ( $GR = 0$ ). Protože výstup posuvného registru nese informaci kdy je popředí ( $QH=1$ ) a kdy je pozadí ( $QH=0$ ), přepíná se multiplexer podle tohoto výstupu a na jeho výstupu 1Y se objevuje FI nebo BI a na jeho výstupu 2Y se objevuje F nebo B.

Z výstupů multiplexeru se signály ukládají do dvou klopných obvodů typu D S74 I051, a tím se synchronizují. Z výstupů těchto klopných obvodů vedou přes zesilovač LS244 a tlumicí RC členy na konektor monitoru K2.

### 8.3. Obvody videosignálu při grafickém módu.

Při grafickém módu je signál GR na jedničce. Časová základna na listu č.1 začne v grafickém módu generovat 16 posuvných impulzů hodin posuvných registrů na jedno čtení paměti z paměti RAM (na jeden LOAD\* nebo CCLK).

Generátor znaků 2764 I024, obvody dekodéru atributů a další některé obvody se v grafickém módu neuplatní.

Data přečtená z nižšího byte paměti MD0 až MD7 se zapamatují do registru LS374 I019 jako C0 až C7. Potom jsou vedena na vstupy posuvného registru LS166 I025, který je určen jen pro grafiku. Z jeho výstupu QH se potom vysunují přímo na vstupy 2C2 a 2C3 multiplexeru S153 I028.

Data přečtená z vyššího byte paměti MD8 až MD15 se zapamatují do registru LS374 I022 jako AT0 až AT7. Potom jsou vedena na vstupy posuvného registru LS166 I031. Z tohoto registru se vysunují na vstup již jmenovaného posuvného registru LS166 I025. Oba registry tak tvoří vlastně jeden šestnáctibitový registr. Z registrů se informace vysunuje tak, že na obrazovce se body zobrazí takto:

=====																		
bit MD		7	6	5	4	3	2	1	0		15	14	13	12	11	10	9	8
-----																		
		nižší byte									vyšší byte							
=====																		

Protože při grafice neexistuje informace o intenzitě, jsou vstupy multiplexeru 1C2 a 1C3 uzemněny.

Vstupy multiplexeru 2C2 a 2C3 jsou spojeny a informace z výstupu QH posuvného registru LS166 IO25 multiplexerem při grafice jen prochází. Není totiž ani rozdílné pozadí a popředí jako u textů, kde je inverzní zobrazení. Další synchronizace a zesílení signálu videa před výstupem z konektoru již probíhá stejnou cestou jako u textového módu.

#### 8.4. Zpracování signálů synchronizace.

Signály VSD a HSD jsou sečteny na hradle ALS32 IO45/3 a blokují multiplexer S153 v okamžiku synchronizačních impulzů.

Signál HSD je před výstupem z adaptéru blokován pomocí hradla ALS08 IO53/8 až do doby kdy bude nastaven na jedničku klopný obvod ALS74 IO52/9. Tento klopný obvod ochraňuje připojený monitor. Po zapnutí počítače generuje totiž řadič Motorola 6845 náhodnou frekvenci na výstupech HS i VS. Klopný obvod ALS74 je vynulován při zapnutí pomocí RC členu R20 - C7. Teprve po naprogramování Motoroly 6845, přijde poprvé signál VEN ( Video Enable ) z registru módu a ten je zapojen na hodiny klopného obvodu ALS74, klopný obvod se nastaví a horizontální synchronizační impulzy začnou procházet až do monitoru. Signál HS pro monitor je opět zesílen zesilovačem LS244 IO61B, zatlumen kondenzátorem C3 a veden na konektor K2.

Signál VSD je před příchodem na zesilovač LS244 navíc invertován, protože monochromatické monitory typu Hercules mají požadavek na negativní signál VS\*.

#### 9. Popis listu 152-00501-4 HGA schema (dekodéry a registry).

Na tomto listu jsou obvody spolupracující se sběrnici počítače. Vlevo uprostřed je nakreslen konektor sběrnice K1.

Obousměrný třístavový zesilovač LS245 slouží jako oddělovač a zesilovač dat. Na jedné straně je sběrnice počítače D0 až D7 a na druhé straně sběrnice desky BD0 až BD7.

Adresová sběrnice A0 až A19 je na adaptéru HGA dekodována dvakrát. Adresy A0 až A9 adresují totiž porty a adresy A0 až A19 adresují paměť RAM na desce HGA.

Osmivstupové hradlo NAND ALS30 IO58/8 dekoduje porty. Jeho výstup je v jedničce, když je AEN = 0 ( není DMA ) a když adresa je v rozsahu 3B0 až 3BF HEX, tj. s bity:

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	1	0	1	1	x	x	x	x

### 9.1. Zpracování adresy.

Vybraná adresa se rozděluje na dvě poloviny. Je-li  $A3 = 0$ , je zesíleným signálem zakázán výstup dekodéru LS138 I044 a naopak povoleno hradlo LS32, které generuje signál CS6845\*. I když je řadič Motorola 6845 adresován v prostoru portů 3B0 až 3B7, používají se ve skutečnosti jen adresy 3B4 ( index registr ) a 3B5 ( data registr ) a výběr mezi nimi zajišťuje adresa BA0 připojená na vstup RS řadiče.

Je-li adresa  $A3 = 1$ , je povolen výstup dekodéru LS138 I044. Na jeho výběrové vstupy A,B,C jsou připojeny adresy BA0,BA1,BA3. Dekodér je povolen kromě jedničkou na BA3 ještě výstupem dekodéru adres LS30 I058/8 a součtem zesílených signálů IOR\* a IOW\*, který vytváří hradlo ALS08 I047/6. Výstupy dekodéru LS138 pak generují signály pro zápis a čtení registrů:

výstup	BA0	BA1	BA2	BA3	adresa	registr
Y0	0	0	0	1	3B8	módu
Y2	0	1	0	1	3BA	stavu
Y7	1	1	1	1	3BF	konfigurace

I když je ve skutečnosti možné všechny tři registry číst i do nich zapisovat, nesmí se to. Registr módu a konfigurace je jen pro zápis a registr stavu jen pro čtení.

### 9.2. Dekódování adresového prostoru.

Paměť PROM S287 dekoduje adresový prostor určený bity A15 až A19 adresové sběrnice procesoru. Výstupy paměti jsou povoleny pomocí vstupů CE1\* a CE2\* na které je připojen součet zesílených signálů BMW\* a BMR\* vytvořený hradlem ALS08 I047/3. Paměť PROM generuje signál A16X, který je paměti PROM jen invertován z adresy A16. Dále generuje signál MSEL\* (Memory Select - výběr paměti). Povolení pro dekodování jednotlivých stránek paměti přichází z konfiguračního registru LS174 I064/15 a 12.

### 9.3. Obsluha sběrnice.

Hradla ALS08 I047/11 a ALS32 I045/11 generují signál DIR pro řízení směru otevření datového zesilovače LS245 I066. Směrem do počítače je tento zesilovač otevřen jen tehdy, je-li IOR\* a není AEN a nebo je-li MR\*. Otevření výstupů zesilovače je řízeno vstupem G\* obvodu LS245. Zesilovač je otevřen je-li MSEL\* a nebo je-li IOSEL\* (nula na I058/8) a současně IOR\* nebo IOW\*.

Invertor ALS04 generuje signál RES6845\* ze signálu RES sběrnice. Tento nulovací signál také nuluje konfigurační registr LS174 I064 a registr módu LS174 I062.

#### 9.4. Signál Enable.

Vlevo dole je klopný obvod ALS74 IO52/5, který pomocí hodin CLK generuje signál E (Enable) pro řadič Motorola 6845. Na jeho vstupy D a R\* přichází jednička po dobu trvání IOR\* a nebo IOW\*. Příští náběžnou hranou hodin CLK se jednička přepíše na výstup Q klopného obvodu a tím vznikne signál E zpožděný za IOR\* nebo IOW\*.

#### 9.5. Registr stavu.

Vlevo nahoře je čtyřnásobný třístavový zesilovač ( polovina obvodu LS244 IO61A ), který pracuje jako registr stavu. Do bitu DB0 se čte signál HSD, do bitů BD1 a 2 se čte nula a do bitu BD3 se čte signál videa - VSIG. Protože registr je pětibitový, je doplněn jedním třístavovým hradlem LS125 IO60A, které čte signál VSD\* do bitu BD7. Registr se čte na adrese 3BA a význam jeho bitů je popsán ve článku 3.5.

#### 9.6. Registr módu.

Vpravo nahoře je registr módu. Význam jeho bitů je v popsán ve článku 3.4. Pro účely našeho adaptéru HGA byly použity některé bity tohoto registru, které jsou v originále nepoužity. Je to bit BD6, kde je nyní volba grafické stránky P2, protože náš adaptér má 128Kbyte paměti a umožňuje tak zobrazit čtyři grafické stránky. Dále je to bit BD4 kde je volba Fontu, druhé poloviny paměti 2764 - generátoru znaků.

Registr módu, který je na adrese 3B8, má tedy tento význam jednotlivých bitů:

bit	název	funkce
D0	-	nepoužit
D1	GR	povolení grafiky
D2	-	nepoužit
D3	VEN	Video Enable - povolení videa
D4	FONT	volba 2. poloviny generátoru znaků
D5	EB	Enable Blink - povolení blikání znaku
D6	P2	povolení druhé poloviny RAM
D7	P1	povolení druhé stránky z každé poloviny

### 9.7. Registr konfigurace.

Aby nebylo možné nastavovat bity registru módu, které nejsou v programech, spolupracujících s DMA, plně kompatibilní s adaptérem MDA firmy IBM, je na desce HGA konfigurační registr ( říká se mu také Switch - přepínač ). Je tvořen registrem LS174 I064. Po zapnutí je tento registr vynulován a do bitů D1, D4, D6 a D7 registru módu nejde zápsat jednička, protože jsou data BD1, BD4, BD6 a BD7 se sběrnice blokována hradly ALS08 I065. Teprve po zápisu jedniček do konfiguračního registru se dají tyto datové bity odblokovat. Význam bitů konfiguračního registru na adrese 3BF je následující:

bit	funkce
D0	= 1 povoluje zápis jedničky do bitu D1 GR, neboli povoluje použití grafiky
D1	= 0 zakazuje zápis jedničky do GR = 1 povoluje zápis jedničky do bitu D7 P1, neboli použití stránky 1
D2	= 0 zakazuje stránku 1 = 1 povoluje použití FONTU 2
D3	= 0 zakazuje použití FONTU 2 = 1 povoluje použití stránek 2 a 3 = 0 zakazuje použití stránek 2 a 3

### 10. Závěr.

Deska HGA je nejsložitější deskou počítače PC 16 NB. Složitost této desky je však vyvážena perfektním zobrazením textů i grafiky, což má zvláště z hlediska hygieny práce obrovský význam.